

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月 1日

出 願 番 号
Application Number:

特願2002-320037

[ST.10/C]:

[JP2002-320037]

出 願 人
Applicant(s):

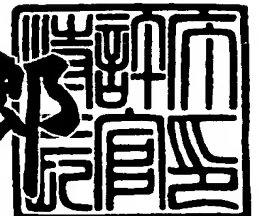
株式会社半導体理工学研究センター



2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035259

【書類名】 特許願

【整理番号】 A000203355

【提出日】 平成14年11月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/28

【発明の名称】 多ポート統合キャッシュ

【請求項の数】 16

【発明者】

 【住所又は居所】 広島県広島市安佐南区大塚西 6 - 8 - 1 - 9 0 1

 【氏名】 弘中 哲夫

【発明者】

 【住所又は居所】 広島県東広島市西条町大沢 8 4 9 - 2

 【氏名】 マタウシュ・ハンス・ユルゲン

【発明者】

 【住所又は居所】 広島県東広島市西条町大字御蘭字字前長者 6 4 3 - 1 5
9

 【氏名】 小出 哲士

【発明者】

 【住所又は居所】 広島県広島市安佐南区西原 2 - 2 4 - 3 2

 【氏名】 平川 泰

【発明者】

 【住所又は居所】 広島県広島市南区字品御幸 1 - 9 - 3 - 4 0 4

 【氏名】 上口 光

【特許出願人】

 【識別番号】 396023993

 【氏名又は名称】 株式会社 半導体理工学研究センター

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810816

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 多ポート統合キャッシュ

【特許請求の範囲】

【請求項 1】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、前記主記憶に記憶されている命令及びデータの一部を記憶する、複数のバンク及び複数のポートを有する多ポート命令・データ統合キャッシュであって、

前記複数のポートは、前記並列プロセッサから命令をアクセスするための 1 個以上の命令ポートからなる命令ポートユニットと前記並列プロセッサからデータをアクセスするための 1 個以上のデータポートからなるデータポートユニットとを有し、

前記命令ポートからバンクに対して指定できるデータ幅を、前記データポートからバンクに対して指定できるデータ幅より大きく設定したことを特徴とする多ポート命令・データ統合キャッシュ。

【請求項 2】 前記命令ポートから連続しない複数バンクにアクセス可能とし、前記データポートから全てのバンクにアクセス可能とすることを特徴とする請求項 1 記載の多ポート命令・データ統合キャッシュ。

【請求項 3】 HMA 構造で構成されていることを特徴とする請求項 1 又は 2 記載の多ポート命令・データ統合キャッシュ。

【請求項 4】 クロスバススイッチネットワーク構造で構成されていることを特徴とする請求項 1 又は 2 記載の多ポート命令・データ統合キャッシュ。

【請求項 5】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュであって、

前記主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、

前記並列プロセッサが前記多ポートバンクメモリを命令キャッシュとしてアクセスしたとき、指定された命令データを前記多ポートバンクメモリから命令キャッシュの命令データとして読出す命令データ読出手段と、

前記並列プロセッサが前記多ポートバンクメモリをトレースキャッシュとしてアクセスしたとき、指定された命令データを前記多ポートバンクメモリからトレースキャッシュのトレースデータとして読出すトレースデータ読出手段とを備えた多ポート命令・トレース統合キャッシュ。

【請求項 6】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュであって、

前記主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、

前記並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令データがトレースキャッシュのデータか否かを示す識別ビット、前記フェッチアドレスにおける上位桁に設定されたタグ 1、前記フェッチアドレスにおける下位桁に設定されたタグ 2、及び前記多ポートバンクメモリの各バンクに記憶された命令データを指定する複数のアドレスが記憶されたタグディレクトリと、

前記タグ 1 及び識別ビットに基づいて、アクセスする命令データが前記多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、

前記タグ 1、前記タグ 2 及び識別ビットに基づいて、アクセスする命令データ列が前記多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判定回路と、

前記トレースキャッシュヒット判定回路のヒット判定に応じて、前記タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して前記多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出しさせるフェッチアドレス選択部と

を備えたことを特徴とする多ポート命令・トレース統合キャッシュ。

【請求項 7】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュであって、

前記主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複

数のポートを有する多ポートバンクメモリと、

フェッチライン・アドレスキャッシュから前記並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令データがトレースキャッシュのデータか否かを示す識別ビット、前記フェッチアドレスにおける上位桁に設定されたタグ 1、前記フェッチアドレスにおける下位桁に設定されたタグ 2 が記憶された複数のタグディレクトリと、

前記タグディレクトリ毎に設けられ、前記タグ 1 及び識別ビットに基づいて、アクセスする命令データが前記多ポートバンクメモリに記憶されていると判定する複数の命令キャッシュヒット判定回路と、

前記タグディレクトリ毎に設けられ、前記タグ 1、前記タグ 2 及び識別ビットに基づいて、アクセスする命令データ列が前記多ポートバンクメモリに記憶されていると判定する複数のトレースキャッシュヒット判定回路と、

前記各キャッシュヒット判定回路のヒット判定に応じて、対応するタグディレクトリに入力されている各フェッチアドレスを前記多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出すバンクアクセス回路とを備えたことを特徴とする多ポート命令・トレース統合キャッシュ。

【請求項 8】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュであって、

前記主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、

前記並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、前記フェッチアドレスにおける上位桁に設定されたタグ 1 が記憶された命令用タグディレクトリと、

前記並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、前記フェッチアドレスにおける上位桁に設定されたタグ 1、前記フェッチアドレスにおける下位桁に設定されたタグ 2、及

び前記多ポートバンクメモリの各バンクに記憶された命令データを指定する複数のアドレスが記憶されたトレース用タグディレクトリと、

前記タグ1に基づいて、アクセスする命令データが前記多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、

前記タグ1、前記タグ2に基づいて、アクセスする命令データ列が前記多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判定回路と、

前記トレースキャッシュヒット判定回路のヒット判定に応じて、前記タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して前記多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出させるフェッチアドレス選択部と
を備えたことを特徴とする多ポート命令・トレース統合キャッシュ。

【請求項9】 1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュであって、

前記主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、

フェッチライン・アドレスキャッシュから前記並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、前記フェッチアドレスにおける上位桁に設定されたタグ1が記憶された複数の命令用タグディレクトリと、

前記フェッチライン・アドレスキャッシュから前記並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、前記フェッチアドレスにおける上位桁に設定されたタグ1、前記フェッチアドレスにおける下位桁に設定されたタグ2が記憶された複数のトレース用タグディレクトリと、

前記タグディレクトリ毎に設けられ、前記タグ1に基づいて、アクセスする命

令データが前記多ポートバンクメモリに記憶されていると判定する複数の命令キャッシュヒット判定回路と、

前記タグディレクトリ毎に設けられ、前記タグ 1 及び前記タグ 2 に基づいて、アクセスする命令データ列が前記多ポートバンクメモリに記憶されていると判定する複数のトレースキャッシュヒット判定回路と、

前記各キャッシュヒット判定回路のヒット判定に応じて、対応するタグディレクトリに入力されている各フェッチアドレスを前記多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出すバンクアクセス回路とを備えたことを特徴とする多ポート命令・トレース統合キャッシュ。

【請求項 1 0】 前記タグディレクトリの各領域に記憶された複数のアドレスは、該当領域が前回ヒットしたとき実行された各命令のアドレスに基づいて更新されることを特徴とする請求項 6 又は 8 記載の多ポート命令・トレース統合キャッシュ。

【請求項 1 1】 前記タグディレクトリの各領域に記憶された複数のアドレスは、該当領域が前回ヒットしたとき実行された各命令のアドレス、及びこの各命令の次に分岐が可能な分岐先の命令のアドレスを含むことを特徴とする請求項 1 0 記載の多ポート命令・トレース統合キャッシュ。

【請求項 1 2】 前記フェッチアドレス選択部は、分岐予測部から入力された各命令の分岐予測に基づいて前記所定数のアドレスを選択することを特徴とする請求項 1 0 又は 1 1 記載の多ポート命令・トレース統合キャッシュ。

【請求項 1 3】 前記フェッチライン・アドレスキャッシュから出力される複数のフェッチアドレスは、このフェッチアドレスが前回ヒットしたとき実行された各命令のアドレスに基づいて更新されることを特徴とする請求項 7 又は 9 記載の多ポート命令・トレース統合キャッシュ。

【請求項 1 4】 前記フェッチライン・アドレスキャッシュから出力される複数のフェッチアドレスは、このフェッチアドレスが前回ヒットしたとき実行された各命令のアドレス、及びこの各命令の次に分岐が可能な分岐先の命令のアドレスを含むことを特徴とする請求項 1 3 記載の多ポート命令・トレース統合キャッシュ。

【請求項 1 5】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、前記主記憶に記憶されている命令、トレース及びデータの一部を記憶する、複数のバンク及び複数のポートを有する多ポート命令・トレース・データ統合キャッシュであって、

前記複数のポートは、前記並列プロセッサから命令をアクセスするための 1 個以上の命令ポートからなる命令ポートユニットと前記並列プロセッサからトレースをアクセスするための 1 個以上のトレースポートからなるトレースポートユニットと前記並列プロセッサからデータをアクセスするための 1 個以上のデータポートからなるデータポートユニットとを有し、

前記命令ポート及びトレースポートからバンクに対して指定できる各データ幅を、前記データポートからバンクに対して指定できるデータ幅より大きく設定した

ことを特徴とする多ポート命令・トレース・データ統合キャッシュ。

【請求項 1 6】 1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとデータキャッシュとを統合した多ポート命令・トレース・データ統合キャッシュであって、

前記主記憶に記憶されている命令及びデータの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、

前記並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令又はデータがトレースキャッシュのデータか否かを示す識別ビット、前記フェッチアドレスにおける上位桁に設定されたタグ 1、前記フェッチアドレスにおける下位桁に設定されたタグ 2、及び前記多ポートバンクメモリの各バンクに記憶された命令又はデータを指定する複数のアドレスが記憶されたタグディレクトリと、

前記タグ 1 及び識別ビットに基づいて、アクセスする命令又はデータが前記多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、

前記タグ 1、前記タグ 2 及び識別ビットに基づいて、アクセスする命令が前記多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判

定回路と、

前記各キャッシュヒット判定回路のヒット判定に応じて、前記タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して前記多ポートバンクメモリへ送出して、各バンクの命令又はデータを同時に読出しさせるフェッチアドレス選択部と、

前記多ポートバンクメモリから読出された複数のデータから前記並列プロセッサが必要とするデータを選択する選択回路と
を備えたことを特徴とする多ポート命令・トレース・データ統合キャッシュ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサとプログラムや各種のデータや情報を記憶した主記憶との間に設けられたキャッシュに係わり、特に、命令キャッシュとデータキャッシュとを統合した多ポート命令・データ統合キャッシュ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュ、及び命令キャッシュとトレースキャッシュとデータキャッシュとを統合した多ポート命令・トレース・データ統合キャッシュに関する。

【0002】

【従来の技術】

一般に、図29(a)に示すように、プロセッサ1の処理速度を向上させるために、プロセッサ1と主記憶3との間にキャッシュ2を介在させている。このキャッシュ2に、主記憶3に記憶された各種の情報(データ)のうちの、プロセッサ1が頻繁にアクセスする情報を複写(コピー)しておく。そして、プロセッサ1は、主記憶3の代わりにこのキャッシュ2をアクセスすることにより、高速処理が可能となる。

【0003】

したがって、プロセッサ1がキャッシュ2をアクセスしたが目標とする情報(データ)がキャッシュ2に記憶されていないとキャッシュミスとなり、目標とする情報(データ)を主記憶3から読出してキャッシュ2に書込む。この主記憶3

とキャッシュ2との間で取り交わす情報（データ）の最小単位を単位ブロックと称する。

【0004】

近年、プロセッサ1の処理速度を向上させるために、スーパースカラプロセッサに代表される1クロック周期で複数の処理を実行する並列プロセッサが実用化されている。この並列処理を行うプロセッサ1においては、例えばキャッシュ2から命令（機械命令）とデータ（演算用データ）とを同時にアクセスする必要がある。一つのメモリから同時に複数の情報（データ）に対するアクセスを実施するためには、一つのメモリに複数のポート（書込／読出端子）が必要である。

【0005】

しかし、キャッシュに使用できる程の大容量の多ポートメモリを作成する技術が存在しないため、これまでは、機械命令、演算用データに対するそれぞれのアクセスパターンが異なることを利用して、それぞれ独立の1ポートキャッシュを設けていた。例えば、図29（b）は、図29（a）のキャッシュ2を、命令（機械命令）のみを記憶する命令キャッシュ4と、データ（演算用データ）のみを記憶するデータキャッシュ5とに分割した例を示す。

【0006】

なお、命令のアクセスパターンとデータのアクセスパターンとの相違点は、一つの命令は、分割できない複数のステップで構成されており、連続したアドレスにアクセスされる。したがって、要求されるデータ幅（1度に読出す情報データのビット数）は大きい。これに対して、データは、比較的ランダムにアクセスされることが多いので、要求されるデータ幅は小さい。

【0007】

しかしながら、主記憶3に記憶される個々のプログラム毎に、各キャッシュ4、5に最適な記憶容量が異なる。したがって、各キャッシュ4、5の容量を合計した一つのキャッシュ2に比較して、フラグメンテーションが発生し、記憶容量の使用効率が低下するのみならず、ワーキングセットが大きいプログラムを実行させるとキャッシュミス率が上昇する問題が生じる。

【0008】

さらに、一般的に、メモリにおけるプロセッサにてアクセス可能なポート数を増加すると、ポート数の2乗に比例してメモリの必要面積が増加する（例えば、非特許文献1参照）。そのため、面積コストと配線遅延が増大し、大容量のキャッシュを構成する事が困難であった。

【0009】

さらに、図29(c)に示すように、命令キャッシュ4の他にトレースキャッシュ6を設けることによって、プロセッサ1の高速化を図ることができる。トレースキャッシュ6内には、プロセッサ1が一度実行した命令列が記憶されている。そして、プロセッサ1は、新たに命令を実行する場合は、命令キャッシュ4とトレースキャッシュ6とをアドレス（フェッチアドレス）で同時に検索して、両方ヒットすれば、トレースキャッシュ6の命令列のデータを採用し、トレースキャッシュ6がヒットしなかった場合は、命令キャッシュ4の命令のデータを採用する。

【0010】

この命令キャッシュ4とトレースキャッシュ6の詳細動作を図30を用いて説明する。

主記憶3に記憶されたプログラム7内に、各命令に対応するA～Eの基本ブロックが記憶されている。なお、実行順序は、Aの基本ブロックを先頭とし、Bを飛ばして、C、Dの基本ブロックに分岐する。

【0011】

このような状態において、命令キャッシュ4内には、プログラム7内のA～Eの基本ブロックが1ライン毎に先頭から順番に格納される。一方、トレースキャッシュ6内には、実際に実行されたA、C、Dの基本ブロックが順番に格納される。

【0012】

次に、前回のA、C、Dの実行履歴と同様に再度Aの基本ブロックから実行を行う場合を考える。この場合、命令キャッシュ4内には、命令の各基本ブロックはメモリに格納されている順序と同じように命令キャッシュ4内に格納されている。そのために、プロセッサ1は、まず、命令キャッシュ4内から、A、B、C

の基本ブロックを含む1ラインをフェッチし、その後、Bを破棄してから、C、D、Eの基本ブロックを含む1ラインをフェッチする。したがって、プロセッサ1は、目標とするA、C、Dの基本ブロックをフェッチするために2サイクル必要となる。

【0013】

これに対して、トレースキャッシュ6内には一度実行された命令列（A、C、Dの基本ブロック）が格納されているので、命令列（基本ブロック列）の分断に対応でき、プロセッサ1のフェッチ効率が上昇する。

【0014】

このように、命令キャッシュ4のみでは16命令の中に3～4個存在するとされる分岐命令による命令列の分断に起因してフェッチ効率が低下するので、トレースキャッシュ6を設けている。そして、前述したように、プロセッサ1は、2つのキャッシュ4、6のヒット状況を確認し、トレースキャッシュ6がヒットしていればトレースキャッシュ6から、トレースキャッシュ6がキャッシュミスしていれば命令キャッシュ4から目的とする命令列（基本ブロック列）をフェッチしている。

【0015】

しかし、このように、命令キャッシュ4の他にトレースキャッシュ6を設けた場合においてもまだ次のような問題が生じる。

【0016】

トレースキャッシュ6と命令キャッシュ4とでは、時系列で必要となるキャッシュ容量が変化するが、トレースキャッシュ6と命令キャッシュ4の各容量は固定されているため容量比を動的に変化させることが出来ない。したがって、キャッシュ全体の利用率が低下する。

【0017】

命令キャッシュ4とトレースキャッシュ6に重複する命令（基本ブロック）が存在するので、キャッシュ全体の利用率が低下する。

【0018】

分岐予測がAの基本ブロックからBの基本ブロックへ分岐すると予測した場合

、トレースキャッシュ6からAの基本ブロックしか命令を発行（フェッチ）できない。

【0019】

トレースキャッシュ6内には、一つの基本ブロックを先頭として格納されるため、図30のように、実行終了した命令列がA、C、Dと存在する場合において、トレースキャッシュ6内には、別にC、Dを先頭としたデータ列も格納される可能性がある。このためトレースキャッシュ6内でデータ（基本ブロック）の重複が生じ、キャッシュの有効利用率が低下する。

【0020】

【非特許文献1】

H.J.Mattausch, K.Kishi and T.Gyohten, "Area-efficient multi-port SRAMs for on-chip storage high random-access bandwidth" IEICE Trans on Electronics vol E84-C, No.3, 2001, p410-417

【0021】

【発明が解決しようとする課題】

このように、従来の図29（b）に示す命令キャッシュ4とデータキャッシュ5とを個別に設けたキャッシュシステムや、図29（c）に示す命令キャッシュ4の他にトレースキャッシュ6を設けたキャッシュシステムにおいては、個々のキャッシュが小容量になり、各キャッシュ相互間で余剰容量の相互融通ができなくなり、全体としてのキャッシュミスの発生率が上昇する。さらに、命令キャッシュとトレースキャッシュとの間においては、データ（基本ブロック）の重複記憶が生じ、キャッシュの有効利用率が低下する。

【0022】

本発明はこのような事情に鑑みてなされたものであり、バンク構造を用い、各ポートに対するデータ幅及び容量を任意に設定でき、その結果、アクセスパターンの異なる命令やデータの情報を1つのキャッシュに統合でき、フラグメンテーションの発生を防止し、キャッシュの実効容量を増加させることができる多ポート命令・データ統合キャッシュ、多ポート命令・トレース統合キャッシュ、及び多ポート命令・トレース・データ統合キャッシュを提供することを目的とする。

【 0 0 2 3 】

【課題を解決するための手段】

上記課題を解消するために、請求項1の多ポート命令・データ統合キャッシュは、1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、主記憶に記憶されている命令及びデータの一部を記憶する複数のバンク及び複数のポートを有する。

【 0 0 2 4 】

さらに、多ポート命令・データ統合キャッシュにおける複数のポートは、並列プロセッサから命令をアクセスするための1個以上の命令ポートからなる命令ポートユニットと並列プロセッサからデータをアクセスするための1個以上のデータポートからなるデータポートユニットとを有している。

【 0 0 2 5 】

そして、命令ポートからバンクに対して指定できるデータ幅を、データポートからバンクに対して指定できるデータ幅より大きく設定している。

【 0 0 2 6 】

また、請求項2においては、命令ポートから連続しない複数バンクにアクセス可能とし、データポートから全てのバンクにアクセス可能とする。

【 0 0 2 7 】

このように構成された多ポート命令・データ統合キャッシュにおいては、バンク構造メモリを採用することにより、基本的に各ポートから同時にアクセスするバンクの数を変更することでアクセス可能なデータ幅を変更することが可能である。

【 0 0 2 8 】

そして、命令ポートからバンクに対して指定できるデータ幅を、データポートからバンクに対して指定できるデータ幅より大きく設定している。さらに、命令ポートから連続しない複数バンクにアクセス可能としているので、各命令ポートにおいて、たとえ一度にフェッチできる命令列のビット数（基本ブロックの大きさ）を示すデータ幅を大きく設定しても、アクセス競合の発生が抑制できる。逆に、データポートにおいては、一度にフェッチされるデータのビット数は小さく

、かつ比較的ランダムにアクセスされるので、全てのバンクにアクセス可能とする。

【0029】

また、多ポート命令・データ統合キャッシュにおいては、バンク構造を採用しているので、少ないポート数で面積大容量の多ポートキャッシュが構成可能になる。さらに、複数のキャッシュを1つのバンク構造の多ポートキャッシュに置換えることでキャッシュ全体のフラグメンテーションを抑制することが可能である。

【0030】

さらに、請求項3、請求項4は、多ポート命令・データ統合キャッシュをHMA構造やクロスバススイッチネットワーク構造で構成している。

【0031】

このように、多ポート命令・データ統合キャッシュをHMA構造やクロスバススイッチネットワーク構造を用いて構成することによって、この統合キャッシュに組込まれるポート数を大幅に減少でき、統合キャッシュを、面積効率が高く、小型に構成できる。

【0032】

また、請求項5は、1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュである。

【0033】

そして、主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、並列プロセッサが多ポートバンクメモリを命令キャッシュとしてアクセスしたとき、指定された命令データを多ポートバンクメモリから命令キャッシュの命令データとして読出す命令データ読出手段と、並列プロセッサが多ポートバンクメモリをトレースキャッシュとしてアクセスしたとき、指定された命令データを多ポートバンクメモリからトレースキャッシュのトレースデータとして読出すトレースデータ読出手段とを備えている。

【0034】

このように構成された多ポート命令・トレース統合キャッシュにおいて、多ポートバンクメモリには、主記憶に記憶されている命令データの一部が記憶されている。したがって、多ポートバンクメモリ内に記憶されている各命令データは、命令キャッシュの命令データか、トレースキャッシュのトレースデータを構成する命令データかの区別はない。

【0035】

そして、並列プロセッサがフェッチアドレスで多ポートバンクメモリ内の命令データを指定したときに、例えばキャッシュヒット回路等を用いて、命令キャッシュとしてアクセスしているのか、トレースキャッシュとしてアクセスしているのかを判定して、該当命令データを命令キャッシュの命令データとして読出したり、トレースキャッシュのトレースデータとして読出す。

【0036】

したがって、トレースキャッシュのデータと命令キャッシュのデータとを同一キャッシュ内に共存することが可能なり、キャッシュ容量の有効利用が実現する。また、同一命令データの重複記憶が抑制される。

【0037】

さらに請求項6は、1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュである。

【0038】

そして、主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリを設けている。また、並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令データがトレースキャッシュのデータか否かを示す識別ビット、フェッチアドレスにおける上位桁に設定されたタグ1、フェッチアドレスにおける下位桁に設定されたタグ2、及び多ポートバンクメモリの各バンクに記憶された命令データを指定する複数のアドレスが記憶されたタグディレクトリを設けている。

【 0 0 3 9 】

さらに、タグ1及び識別ビットに基づいて、アクセスする命令データが多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、タグ1、タグ2及び識別ビットに基づいて、アクセスする命令データ列が多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判定回路と、トレースキャッシュヒット判定回路のヒット判定に応じて、タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して前記多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出しさせるフェッチアドレス選択部とを設けている。

【 0 0 4 0 】

このように構成された命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュにおいては、命令キャッシュとトレースキャッシュでのアクセス方法の統一、及び、アクセス時にどちらのデータなのかを識別することが必要となる。命令キャッシュでは連続した命令が格納されているため、ライン内のデータに自由にアクセスすることが可能である。それに対し、トレースキャッシュでは動的命令流れの順序で命令列が並んでいるため、先頭のアドレスからしかアクセスできない。

【 0 0 4 1 】

このアクセス方法を統一するため、請求項6ではトレースキャッシュのデータなのか否かを識別するビットと、アクセス用に2つのタグ1、2を用意する。命令キャッシュによるアクセスではタグ1しか必要とせず、トレースキャッシュ用のデータではアドレスの下位ビットを比較するためにタグ1に加えてタグ2を用いてトレースデータの開始位置の比較を行いアクセスする。

【 0 0 4 2 】

このようなアクセス方法を採用することにより、トレースキャッシュのデータと命令キャッシュのデータとを同一キャッシュ内に共存することが可能なり、キャッシュ容量の有効利用が実現する。

【 0 0 4 3 】

また、統合したキャッシュを有効に利用するために、キャッシュにバンク構成

を利用してラインを微細化している。これにより、命令フェッチ時には複数のバンクから命令列を読出すことが可能とし、分岐予測に従って命令列がフェッチされる。

【0044】

また、請求項7は、1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュである。

【0045】

そして、主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリが設けられている。さらに、フェッチライン・アドレスキャッシュ（FLAC）から並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令データがトレースキャッシュのデータか否かを示す識別ビット、フェッチアドレスにおける上位桁に設定されたタグ1、フェッチアドレスにおける下位桁に設定されたタグ2が記憶された複数のタグディレクトリが設けられている。また、タグディレクトリ毎に設けられ、タグ1及び識別ビットに基づいて、アクセスする命令データが前記多ポートバンクメモリに記憶されていると判定する複数の命令キャッシュヒット判定回路と、タグディレクトリ毎に設けられ、タグ1、前記タグ2及び識別ビットに基づいて、アクセスする命令データ列が多ポートバンクメモリに記憶されていると判定する複数のトレースキャッシュヒット判定回路と、各キャッシュヒット判定回路のヒット判定に応じて、対応するタグディレクトリに入力されている各フェッチアドレスを多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出すバンクアクセス回路とが設けられている。

【0046】

このように構成された多ポート命令・トレース統合キャッシュにおいては、次にアクセスすべき複数のアドレスはタグディレクトリでなくて、統合キャッシュ外のフェッチライン・アドレスキャッシュ（FLAC）に記憶されている。フェ

タッチライン・アドレスキャッシュ（FLAC）から出力される複数のフェッチアドレスに対応するために、統合キャッシュ内に複数のタグディレクトリが形成されている。

【0047】

請求項8は、1クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュである。

【0048】

そして、主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、前記フェッチアドレスにおける上位桁に設定されたタグ1が記憶された命令用タグディレクトリと、並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、フェッチアドレスにおける上位桁に設定されたタグ1、フェッチアドレスにおける下位桁に設定されたタグ2、及び多ポートバンクメモリの各バンクに記憶された命令データを指定する複数のアドレスが記憶されたトレース用タグディレクトリと、タグ1に基づいて、アクセスする命令データが多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、タグ1、タグ2に基づいて、アクセスする命令データ列が多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判定回路と、トレースキャッシュヒット判定回路のヒット判定に応じて、タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出しさせるフェッチアドレス選択部とを備えている。

【0049】

このように構成された多ポート命令・トレース統合キャッシュにおいては、統合キャッシュ内に設けられたタグディレクトリを、命令用タグディレクトリとトレース用タグディレクトリとに分割している。よって、命令用タグディレクトリ及びトレース用タグディレクトリ内にはトレース識別ビットを設定する必要ない

。したがって、各キャッシュヒット判定回路の判定処理が簡素化される。

【 0 0 5 0 】

請求項 9 は、1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュである。

【 0 0 5 1 】

そして、主記憶に記憶されている命令データの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、フェッチライン・アドレスキャッシュ（FLAC）から並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、フェッチアドレスにおける上位桁に設定されたタグ 1 が記憶された複数の命令用タグディレクトリと、フェッチライン・アドレスキャッシュから並列プロセッサのフェッチアドレスに基づく互いに異なるフェッチアドレスがそれぞれ入力され、この入力されたフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、フェッチアドレスにおける上位桁に設定されたタグ 1、フェッチアドレスにおける下位桁に設定されたタグ 2 が記憶された複数のトレース用タグディレクトリと、タグディレクトリ毎に設けられ、タグ 1 に基づいて、アクセスする命令データが多ポートバンクメモリに記憶されていると判定する複数の命令キャッシュヒット判定回路と、タグディレクトリ毎に設けられ、タグ 1 及びタグ 2 に基づいて、アクセスする命令データ列が多ポートバンクメモリに記憶されていると判定する複数のトレースキャッシュヒット判定回路と、各キャッシュヒット判定回路のヒット判定に応じて、対応するタグディレクトリに入力されている各フェッチアドレスを多ポートバンクメモリへ送出して、各バンクの命令データを同時に読出すバンクアクセス回路とを備えている。

【 0 0 5 2 】

このように構成された多ポート命令・トレース統合キャッシュにおいては、各トレース用タグディレクトリに次にアクセスすべきアドレスは記憶されていなくて、統合キャッシュ外のフェッチライン・アドレスキャッシュ（FLAC）に記

憶されている。フェッチライン・アドレスキャッシュ（FLAC）から出力される複数のフェッチアドレスに対応するために、統合キャッシュ内に複数の命令用タグディレクトリ及びトレース用タグディレクトリが形成されている。

【0053】

請求項10においては、タグディレクトリの各領域に記憶された複数のアドレスは、該当領域が前回ヒットしたとき実行された各命令のアドレスに基づいて更新される。

【0054】

請求項11においては、タグディレクトリの各領域に記憶された複数のアドレスは、該当領域が前回ヒットしたとき実行された各命令のアドレス、及びこの各命令の次に分岐が可能な分岐先の命令のアドレスを含む。

【0055】

請求項12においては、フェッチアドレス選択部は、分岐予測部から入力された各命令の分岐予測に基づいて前記所定数のアドレスを選択する。

【0056】

請求項13においては、フェッチライン・アドレスキャッシュ（FLAC）から出力される複数のフェッチアドレスは、このフェッチアドレスが前回ヒットしたとき実行された各命令のアドレスに基づいて更新される。

【0057】

請求項14においては、フェッチライン・アドレスキャッシュ（FLAC）から出力される複数のフェッチアドレスは、このフェッチアドレスが前回ヒットしたとき実行された各命令のアドレス、及びこの各命令の次に分岐が可能な分岐先の命令のアドレスを含む。

【0058】

前述したように、バンク構成を利用することにより、複数バンクから同時に複数命令をフェッチするためは、複数のアドレスの発行が必要となる。このため、タグディレクトリの各領域に記憶された複数のアドレス又はフェッチライン・アドレスキャッシュから出力される複数のアドレスを、毎サイクル分岐命令による命令列の分断に対応するために、分岐予測に従ったパス（各命令の実行経路）に

存在する複数の命令をフェッチするため複数のアドレスとしている。

【 0 0 5 9 】

請求項 1 5 は、1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、主記憶に記憶されている命令、トレース及びデータの一部を記憶する、複数のバンク及び複数のポートを有する多ポート命令・トレース・データ統合キャッシュである。

【 0 0 6 0 】

そして、複数のポートは、並列プロセッサから命令をアクセスするための 1 個以上の命令ポートからなる命令ポートユニットと並列プロセッサからトレースをアクセスするための 1 個以上のトレースポートからなるトレースポートユニットと並列プロセッサからデータをアクセスするための 1 個以上のデータポートからなるデータポートユニットとを有している。さらに、命令ポート及びトレースポートからバンクに対して指定できる各データ幅を、データポートからバンクに対して指定できるデータ幅より大きく設定している。

【 0 0 6 1 】

このように各ポートを設定することによって、一つのキャッシュに、命令キャッシュ、トレースキャッシュ、及びデータキャッシュを組込むことが可能となり、キャッシュ全体としての必要とする記憶容量をさらに減少できる。

【 0 0 6 2 】

請求項 1 6 は、1 クロック周期で複数の処理を実行する並列プロセッサと主記憶との間に設けられ、命令キャッシュとトレースキャッシュとデータキャッシュとを統合した多ポート命令・トレース・データ統合キャッシュである。

【 0 0 6 3 】

そして、主記憶に記憶されている命令及びデータの一部を記憶する複数のバンク及び複数のポートを有する多ポートバンクメモリと、並列プロセッサから出力されるフェッチアドレスにおける中位桁に設定されたインデックスに対応する領域に、アクセスする命令又はデータがトレースキャッシュのデータか否かを示す識別ビット、フェッチアドレスにおける上位桁に設定されたタグ 1、フェッチアドレスにおける下位桁に設定されたタグ 2、及び多ポートバンクメモリの各バン

クに記憶された命令又はデータを指定する複数のアドレスが記憶されたタグディレクトリと、タグ1及び識別ビットに基づいて、アクセスする命令又はデータが多ポートバンクメモリに記憶されていると判定する命令キャッシュヒット判定回路と、タグ1、タグ2及び識別ビットに基づいて、アクセスする命令が多ポートバンクメモリに記憶されていると判定するトレースキャッシュヒット判定回路と、各キャッシュヒット判定回路のヒット判定に応じて、タグディレクトリの対応する領域に記憶された複数のアドレスのうちの所定数のアドレスを選択して多ポートバンクメモリへ送出して、各バンクの命令又はデータを同時に読出しさせるフェッチアドレス選択部と、多ポートバンクメモリから読出された複数のデータから並列プロセッサが必要とするデータを選択する選択回路とを備えている。

【0064】

このように構成された多ポート命令・トレース・データ統合キャッシュにおいても、一つのキャッシュに、命令キャッシュ、トレースキャッシュ、及びデータキャッシュを組み込むことが可能となり、キャッシュ全体としての必要とする記憶容量をさらに減少できる。

【0065】

【発明の実施の形態】

以下、本発明の各実施形態を図面を用いて説明する。

(第1実施形態)

図1は本発明の第1実施形態に係わる多ポート命令・データ統合キャッシュを1クロック周期で複数の処理を実行する並列プロセッサに接続した状態を示す模式図である。

【0066】

多ポート命令・データ統合キャッシュ10（以下、統合キャッシュ10と略記する）には、1番から15番の15個のポート11が設けられている。各ポート11は統合キャッシュ10内のアドレスを指定するアドレス端子と、統合キャッシュ10の該当アドレスに対してアクセスされるデータが入出力されるデータ端子とで構成されている。

【0067】

この15個のポート11は、複数のポートユニット12a、12b、12c、12dに分割される。ポートユニット12aは1～4番の4個のポート11が所属し、ポートユニット12bは5番の1個のポート11が所属し、ポートユニット12cは6～13番の8個のポート11が所属し、ポートユニット12dは14～15番の2個のポート11が所属する。

【0068】

並列プロセッサ13には、統合キャッシュ10の1番から15番の各ポート11に対応した15個のポート14が設けられている。この15個のポート14は、統合キャッシュ10と同様に複数のアクセスポートユニット15a、15b、15c、15dに分割される。

【0069】

図2は、統合キャッシュ10の概略構成を示す模式である。この統合キャッシュ10内には、16個のバンク構造体17が組込まれている。各バンク構造体17はポート数変換回路18とバンク19とで構成されている。バンク19が組込まれた16個のバンク構造体17は、6個のバンクユニット16a～16fに区分けされている。

【0070】

バンクユニット16a、16bに組込まれた各バンク構造体17のポート数変換回路18は、ポート11側の N_1 個のポートを1個のポートに変換してバンク19に接続する。したがって、バンク19は1個のポートのみを有する1ポートメモリを構成する。

【0071】

バンクユニット16c、16eに組込まれた各バンク構造体17のポート数変換回路18は、ポート11側の N_2 個のポートを1個のポートに変換してバンク19に接続する。同様に、バンクユニット16d、16fに組込まれた各バンク構造体17のポート数変換回路18は、ポート11側の N_3 個のポートを1個のポートに変換してバンク19に接続する。

【0072】

各ポートユニット12a～12dの各ポート11は各ポートユニット12a～

12dにて指定された数のバンク19、及び指定された位置のバンク19にアクセス可能である。

【0073】

この例では、ポートユニット12bのポート11から全てのバンク19へアクセスが可能である。すなわち、ポートユニット12bのポート11はデータポートとして機能する。

【0074】

その他の各ポートユニット12a、12c、12dの各ポート11のアクセスは、バンク19をプリデコードする事によりアクセスを制限し、データ幅の大きなポート11として動作する。また、各ポートユニット12a、12c、12dからアクセスできるバンク19も制限されており、連続したバンク19へのアクセスが禁止されている。これにより、各ポートユニット12a、12c、12dが必要とする合計の容量の相違にも対応する。すなわち、ポートユニット12a、12c、12dの各ポート11は命令ポートとして機能する。

【0075】

このように構成された統合キャッシュ10においては、並列プロセッサ13から統合キャッシュ10に記憶された命令をフェッチする場合は、指定された命令ポート（ポートユニット12a、12c、12d）の各ポート11にアドレスを印加し、データをフェッチする場合は、指定されたデータポート（ポートユニット12b）のポート11にアドレスを印加すればよい。

【0076】

図3は、図2に示す多ポート命令・データ統合キャッシュ10を、特許文献1に提唱されている階層構造型多ポートメモリアーキテクチャ（Hierarchical Multi-port Memory Architecture 以下HMAと略記する）構造を用いて構成した場合のブロック構成図である。

【0077】

このHMA構造を用いて構成された統合キャッシュ10は、大きく分けて、第1階層と第2階層とから構成されている。

第2階層は、大きく分けて、マトリックス状に配列された、バンク19とポー

ト数変換回路18とからなる複数のバンク構造体17と、バンク行選択回路20と、バンク列選択回路21とで構成されている。

【0078】

バンク行選択回路20とバンク列選択回路21は、1番～15番の各ポート11から入力された $n=15$ 個のアドレスADを、 n 個の行バンク選択信号 RS_n 、 n 個の列バンク選択信号 CS_n 、及び n 個のレジスタアドレス A_n に変換する。この n 個の行バンク選択信号 RS_n 、 n 個の列バンク選択信号 CS_n で n 個の各データ D_n がアクセスされるバンク構造体17が決定される。

【0079】

この場合、各ポート11は同時に同一アドレスを出力するとバンク競合が発生するので、各バンク構造体17は複数のポート11から同時に指定されることはないとして説明する。

【0080】

バンク19とポート数変換回路18とからなるバンク構造体17で構成される第1階層のバンク19は、大きく分けて、マトリックス状に配列された複数のレジスタ22と、レジスタ行選択回路23と、レジスタ列選択回路24とで構成されている。

【0081】

ポート数変換回路18は、 n 個の行バンク選択信号 RS_n 、 n 個の列バンク選択信号 CS_n から自己が指定されていることを示すバンク選択信号 S 、 n 個のレジスタアドレス A_n から選択した、自己のレジスタアドレス A 、及び n 個のデータ D_n から選択した自己のデータ D をバンク19へ送出する。

【0082】

バンク19のレジスタ行選択回路23とレジスタ列選択回路24とは、自己が指定されていることを示すバンク選択信号 S を受信すると、レジスタアドレス A を用いて、最終的にアクセスすべきレジスタ22を特定する行レジスタ選択信号 RS 、列レジスタ選択信号 CS を出力する。したがって、最終的にアクセスすべき1個のレジスタ22が動作状態になる。なお、データ D は全部のレジスタ22に印加されているが、動作状態の1個のレジスタ22がデータ D を取込む。

【0083】

このように、統合キャッシュ10をHMA構造を用いて構成することによって、この統合キャッシュ10に組込まれるポート数を大幅に減少でき、統合キャッシュ10を、面積効率が高く、小型に構成できる。

【0084】

(第2実施形態)

図4は本発明の第2実施形態に係わる多ポート命令・データ統合キャッシュの概略構成図である。図2に示す第2実施形態の統合キャッシュ10と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0085】

この実施形態の統合キャッシュ10においては、ポート数変換回路18aがバンク19aの外に位置している。そして、この統合キャッシュ10は、図5に示すクロスバスイッチネットワーク構造で実現される。

【0086】

すなわち、1番から15番の各ポート11の各信号路25には、この各信号路25に直交しそれぞれバンク19aに接続された複数の信号路26が設けられている。各信号路25と各信号路26との交点には両信号路25、26を導通するスイッチ27が接続されている。各スイッチ27と信号路26とでポート数変換回路18aを構成している。

【0087】

各ポート11に印加されているアドレスの下位ビットで選択すべきバンク19aに接続されるポート数変換回路18aのスイッチ27を閉じることによって、各ポート11は任意のバンク19aに接続可能となる。

【0088】

このように、クロスバスイッチネットワークで構成された統合キャッシュ10においても、この統合キャッシュ10に組込まれるポート数を大幅に減少できるので、先に説明したHMA構造を用いた統合キャッシュ10とほぼ同様の作用効果を得ることができる。

【0089】

さらに、第 1、第 2 の実施形態の統合キャッシュ 1 0 における別の効果を説明する。

ポート数変換回路 1 8、1 8 a の変換数を工夫すれば、各ポートユニット 1 2 a ~ 1 2 d の各ポート 1 1 から見ると、任意のポート数、バンク 1 9、1 9 a 自体が持つものの整数倍のデータ幅と容量が得られているように見える。しかし、実際には 1 つの統合キャッシュ 1 0 であるため、命令キャッシュ 4 とデータキャッシュ 5 を統合した際のキャッシュミス率の低下という利点を得ることもできる。

【 0 0 9 0 】

命令キャッシュ 4 とデータキャッシュ 5 を統合した統合キャッシュ 1 0 と従来の分割キャッシュについて、シミュレータ (Simple Scalar ver2.0) を用いキャッシュミス率を算出した結果を図 6 に示す。

【 0 0 9 1 】

グラフの横軸は、分割キャッシュにおける合計の容量であり、統合キャッシュの容量に等しい。また、分割キャッシュとは、従来までの命令キャッシュとデータキャッシュが分割されている形態を示す。

【 0 0 9 2 】

図 6 に示すように、各統合キャッシュのミス率は容量で約 1. 5 倍の各分割キャッシュのミス率とほぼ等しいという結論が得られる。これは、二つのキャッシュを統合した事により、命令キャッシュ 4 のデータ領域とデータキャッシュ 5 のデータ領域と境界が定まっておらず、時間毎にキャッシュ内のライン (記憶領域) をフレキシブルに活用でき、それぞれに最適なメモリ容量を振り分け直す事ができるためと考えられる。以上により、多ポート統合キャッシュの有効性が証明された。

【 0 0 9 3 】

なお、キャッシュを多ポートにして統合すると、命令ポート、データポート間、及びそれら同士のアクセス競合が発生して、並列プロセッサ 1 3 におけるアクセス処理速度の性能低下も考えられる。

【 0 0 9 4 】

しかしながら、アクセス競合によるペナルティは1サイクルで十分なのに対して、キャッシュミスによるペナルティは、キャッシュ内のデータの書き直しのために、数サイクルから十数サイクル必要である。そのため、アクセス競合確率がキャッシュミス率と同程度なら問題ないといえる。

【0095】

そこで、先のシミュレーション結果からキャッシュアクセスのトレースデータを抽出し、そこから各バンク数に対するアクセス競合確率を計算した。その結果を図7に示す。この結果から、バンク数が16～32以上あれば、アクセス競合率は、キャッシュミスの確率とほぼ同等となり、アクセス競合は問題にならない。

【0096】

各実施形態の統合キャッシュ10は、マルチバンクアーキテクチャに基づいて構成されている。このマルチバンクアーキテクチャでは、図2、図4に示すように、バンク構造を用いた上で、各バンク19、19aへのアクセスを1ポートに制限するポート数変換回路18を使用することにより高面積効率、高速化を図っている。

【0097】

例えば、図8に示すように、4個の命令ポート（データ幅；32ビット）、2個のデータポート（データ幅；8ビット）の統合キャッシュ10を構成する場合について検証する。

【0098】

命令ポートは、各バンク19のアドレスの下位2ビットでプリデコードされており、特定のバンク19にしかアクセスできない構造とし、同時には連続したアドレスへのアクセスでは、必ずアクセス競合が起こらないような構成とする。さらに、連続しないアドレスへのアクセスも、アドレスの下位2ビットが衝突しない限り可能である。一方、データポートは、命令ポートより連続したアドレスへのアクセスの確率は低いため、16個の全てのバンク19にアクセスできる構造である。

【0099】

このように、この構成を用いれば、アクセス性能をさほど低下させずに、命令キャッシュ4とデータキャッシュ5とを一つの統合キャッシュ10に統合でき、従来の命令キャッシュ4とデータキャッシュ5のポートを個別に設けた場合に比較して、面積コストも半分程度になると見積もっている。

【0100】

(第3実施形態)

図9は本発明の第3実施形態に係わる多ポート命令・トレース統合キャッシュが組込まれた並列プロセッサの要部を示す模式図である。

【0101】

並列プロセッサにおける図示しないアドレス発生部から出力された例えば32ビット構成のフェッチアドレス38は、命令キャッシュとトレースキャッシュとを統合した多ポート命令・トレース統合キャッシュ30及び分岐予測部31へ入力される。

【0102】

多ポート命令・トレース統合キャッシュ30（以下、統合キャッシュ30と略記する）は、一つのフェッチアドレス38が入力されると、このフェッチアドレスと分岐予測部31から入力される予測パスに基づいて、内部に設けられた複数のバンクのうちの4つのバンクに同時にフェッチし、4単位ブロックの16命令を発行する。

【0103】

統合キャッシュ30から発行された各命令は、命令バッファ32を介して、命令実行部33で実行される。命令実行部33で一度実行された各命令は蓄積ユニット（Fill Unit）34に入力される。この蓄積ユニット34内には、4個の命令蓄積バッファ（Instruction Fill Buffer IFB）35と、アドレス蓄積バッファ（Address Fill Buffer AFB）36とが設けられている。命令蓄積バッファ（IFB）35及びアドレス蓄積バッファ（AFB）36とに1ライン分の命令及び1ライン分のアドレスデータが蓄積されると、これらのデータはトレースデータとして統合キャッシュ30に帰還される。統合キャッシュ30において、キャッシュミスが発生すると、主記憶37の命令データを取込む。

【0104】

統合キャッシュ30内には、例えば、図10に示すように、タグディレクトリ39、ビット判定回路40、フェッチアドレス選択部41、複数のバンク（bank）42で構成された多ポートバンクメモリ43、バンクアクセス回路44が設けられている。前記各バンク42に各命令のデータ（命令データ）が記憶されている。

【0105】

多ポートバンクメモリ43内に形成された各バンク42内には、複数の命令データが単位ブロック毎に単独の命令キャッシュデータとして、又は、他の命令データと共にトレースキャッシュデータとして記憶されている。

【0106】

なお、この多ポートバンクメモリ43とバンクアクセス回路44とを第1実施形態で説明したHMA構造を用いて構成することができる。さらに、これらを第2実施形態で説明したクロスバスイッチネットワーク構造を用いて実現することも可能である。

【0107】

図11は、タグディレクトリ39及びビット判定回路40の詳細構成図である。フェッチアドレス38は上位ビットにタグ（tag）1が設定され、中間ビットにインデックス（index）が設定され、下位ビットにタグ（tag）2が設定されている。

【0108】

タグディレクトリ39において、各インデックスで指定される領域45には、この領域45が有効であることを示す有効（valid）ビット、トレースキャッシュからのデータであることを示す識別ビットとしてのトレース（trace）ビット、タグ1、トレースキャッシュからのデータの場合に先頭アドレスであることを特定するためのタグ2、及び、蓄積ユニット34のアドレス蓄積バッファ（AFB）36からトレースデータとし入力されたトレースフェッチアドレスの集合46が記憶されている。

【0109】

ヒット判定回路40は、命令キャッシュヒット判定回路47とトレースキャッシュヒット判定回路48とで構成されている。命令キャッシュヒット判定回路47は、比較器47a、アンドゲート47b、インバータ47c、アンドゲート47dで形成されている。そして、領域45における有効(valid)ビットが有効で、トレース(trace)ビットが無効で、タグ1が一致すれば、命令キャッシュのデータがヒットする。

【0110】

一方、トレースキャッシュヒット判定回路48は、比較器47a、48a、アンドゲート47b、48b、48cとで構成され、領域45における有効(valid)ビットが有効で、トレース(trace)ビットが有効で、タグ1、2が一致すれば、トレースキャッシュのデータがヒットする。

【0111】

トレースキャッシュと命令キャッシュと両方のデータでヒットした場合、ヒット判定回路40からトレースキャッシュからのデータを出力する。

【0112】

この方式により、トレースキャッシュのデータと命令キャッシュのデータの格納先をこのタグディレクトリ39における同一のインデックスが指定する領域45のトレースフェッチアドレス集合46として設定できる。したがって、入力したフェッチアドレスを効率良く複数の命令に置換えでき、前述した従来のトレースキャッシュと命令キャッシュを設けた場合における問題点である重複する命令列の問題を解決することが可能となる。

【0113】

図10において、ヒット判定回路40から出力されたトレースキャッシュ又は命令キャッシュのヒット情報はフェッチアドレス選択部41へ送出される。フェッチアドレス選択部41は、入力したヒット情報がトレースキャッシュ判定回路48からのヒット情報の場合、タグディレクトリ39におけるインデックスが指定する領域45のトレースフェッチアドレス集合46から、分岐予測部31から出力される予測パスが指定するバンク42内のデータを読み出すための複数のフェッチアドレスを選択してバンクアクセス回路44へ送出する。すなわち、トレース

データの先頭アドレスが二つのタグ1、2で特定されるとこの先頭アドレスに続く各データのフェッチアドレスが選択される。

【0114】

バンクアクセス回路44は、入力された各フェッチアドレスが指定する各バンク42内の各1単位ブロック分のデータ（命令データ）を読み出して命令バッファ33へ出力する。

【0115】

また、フェッチアドレス選択部41は、入力したヒット情報が命令キャッシュ判定回路47からのヒット情報の場合、トレースデータは存在しないので、タグ1とインデックスで指定するバンクから4つの連続したバンク42をアクセスして、各1単位ブロック分のデータ（命令データ）を読み出して命令バッファ33へ出力する。

【0116】

次に、蓄積ユニット34のアドレス蓄積バッファ（AFB）36から統合キャッシュ30におけるタグディレクトリ39の領域45に書込まれるトレースフェッチアドレスの集合46の生成方法を説明する。

【0117】

統合キャッシュ30がバンク構成を採用する場合、トレースデータは各バンク42に対して、基本ブロック単位で格納されているため、複数のバンク42から分岐予測に従ったバンクをフェッチすることによりトレースを生成する。このため、それらのバンク42のアドレスを発行することが必要となる。トレースキャッシュでは命令の実行履歴を確認するために、この方法を利用しアクセスされるバンク42のアドレスを生成する方法を示す。

【0118】

一般に、トレースキャッシュを利用する場合、命令実行部33で一度実行された命令列を蓄積ユニット34で結合していくことにより分岐の飛び込み先から分岐命令までの一連の命令列をキャッシュに格納する。以降、この一連の命令列を「擬似的な基本ブロック」と呼ぶ。「擬似的な基本ブロック」のサイズを確認することにより、過去の履歴から連続してアクセスされると予測される部分を抽出

できる。

【0119】

トレースキャッシュではこの「擬似的な基本ブロック」単位で命令を格納していくため、1つのラインには最大1つの分岐命令しか存在しない。このため、各ラインは分岐を行う先は1つ、また分岐を行わないもしくは分岐命令が存在しないのなら連続したバンク42にアクセスすることになる。

【0120】

図13に、多ポートバンクメモリ43内におけるトレースのライン単位でのフェッチの詳細を示す。アドレス(address)1から始まるトレースの始めのバンク(bank)0に存在する「擬似的な基本ブロック」はバンク(bank)2のアドレス2へ分岐し、次はアドレス3へ分岐する。

【0121】

このアドレス1、2、3を発行するためには、分岐予測を行った上で予測先がどのバンク42に存在するのかの情報が必要となる。この方式を実現するために、実行終了した命令列を結合する蓄積ユニット34内に、アドレスと命令データを分割するために、前述したように、4個の命令蓄積バッファ(IFB)35とアドレス蓄積バッファ(afb)36とが設けられている。

【0122】

命令蓄積バッファ(IFB)35は、前述したように、実行終了した命令のデータを格納する。前述したように命令実行部33は同時に16命令を実行し、かつ各バンク42の1ラインは4命令なので、図16、図18、図19に示すように、4命令毎に、合計4個設けられている。

【0123】

アドレス蓄積バッファ(afb)36は、前述したように、トレースを生成する一連の「擬似的な基本ブロック」のアドレスの集合を格納する。すなわち、アドレス蓄積バッファ(afb)36はバンク構成を利用したキャッシュのためにフェッチされる可能性のある複数のフェッチアドレスを一つに結合するものであり、命令の各アドレスが入力される。

【0124】

トレースキャッシュではバンク単位で命令の結合を行う場合、各バンク 4 2 のラインには分岐命令は 1 つ存在する (taken)、又は全く存在しない (not taken) の 2 種類であるため、あるバンク 4 2 から分岐するバンク 4 2 は連続したもの、もしくは分岐先のターゲットとなる。このため、アドレス蓄積バッファ (AFB) 3 6 は、フェッチの際に 4 個のバンク 4 2 を同時に読出す場合は、図 1 4 に示す様に、バンク 1 からバンク 8 へ至るパス 1 からバンク 1 からバンク 1 5 へ至るパス 8 までの合計 8 つのパスが考えられる。

【 0 1 2 5 】

各バンク 4 2 に分岐先のターゲットが存在する可能性があるため、アドレス蓄積バッファ (AFB) 3 6 内には、図 1 5 に示すように、7 つのアドレスを格納できる。さらに、アドレス蓄積バッファ (AFB) 3 6 内の各アドレスには、有効ビットと、バンク 4 2 のライン内には分岐命令が存在しない場合も存在するので分岐命令が存在するか否かを示す分岐命令識別ビットも設ける。また、アドレス蓄積バッファ (AFB) 3 6 内には、どのパスの履歴が格納されているかを示すため 8 ビットのパス履歴保証ビットも設ける。

【 0 1 2 6 】

次に、実行された命令のデータを格納するための命令蓄積バッファ (IFB) 3 5 における格納状況を図 1 6 に示す。4 個の A の基本ブロック、3 個の B の基本ブロック、6 個の C の基本ブロックとの合計 1 3 個の命令が実行されたとする。この 1 3 個の命令は、4 個の A の基本ブロック、3 個の B の基本ブロック、6 個の C の基本ブロックとの 3 個の「擬似的な基本ブロック」に分割され、さらに、各「擬似的な基本ブロック」は、それぞれ 4 単位ブロックで構成されるバンク 4 2 のラインサイズに分割される。この状態で、4 個の命令蓄積バッファ (IFB) 3 5 にそれぞれ格納される。

【 0 1 2 7 】

次に、図 1 6 に示す命令列が実行された場合におけるアドレス蓄積バッファ (AFB) 3 6 に格納される各アドレスの状態を説明する。図 1 7 の上段に示すように、今回結合された命令列は、1 つ目の分岐命令は分岐を行い (taken)、2 つ目の分岐命令は分岐を行っていない (not taken) ため、太線で示すようなパスを

実行している。バンク 6 からバンク 12 へは分岐命令は存在しないため、バンク 6 では分岐命令が存在しないために分岐命令が成立しないのと同様に、連続したバンクにアクセスされる。

【0128】

今回のパスが実行されたとき、実行結果によりアドレス蓄積バッファ（AFB）36 内には、図 18 のようにアドレスが結合されている。実行されたパスは 5 なので、パス履歴情報ビットは 5 ビット目を 1 とし、そのパスは有効とする。

【0129】

実行されたパスでは B の基本ブロックから C の基本ブロックへは分岐不成立であるが、B の基本ブロックの分岐命令は実行を行い分岐先アドレスは計算しているので、B の基本ブロックの分岐命令が分岐が成立した場合のために分岐成立先の D のアドレスを格納する。

【0130】

実行されなかったバンクの分岐情報は不明なため、有効ビットは 0 とし、命令の発行を不可能としている。もし A の基本ブロックが分岐しないとした場合、A から連続するバンクを読出すこととなり、この次のバンクの情報は不明なため、連続したアドレスを発行し、命令をフェッチする。このとき、アドレス蓄積バッファ（AFB）36 の情報を保持しておき、実行終了した命令列を確認することで新たにこのアドレス蓄積バッファ（AFB）36 に情報を加えることが可能となる。

【0131】

次に、図 18 に示す今の情報を保持した上で A、B、D の基本ブロックが実行された場合のアドレス蓄積バッファ（AFB）36 に対するアドレスの格納状態を図 19 に示す。この場合、図 20 に示すように、実行されたパスは 7 となるので、パス履歴情報ビットの 7 ビット目を 1 とする。

【0132】

この動作を繰り返すことにより命令のパスの履歴を蓄積、抽出することができる。よって、トレースを格納する場合、命令蓄積バッファ（IFB）35 のトレースの命令データがキャッシュ（多ポートバンクメモリ 43 の各バンク 42）に

格納され、アドレス蓄積バッファ（ＡＦＢ）３６の各アドレスはタグディレクトリ３９の対応する領域４５にフェッチアドレスの集合４６として格納される。

【０１３３】

一度実行されただけでは実行履歴と同じ命令列しか十分に命令発行することはできない。バンク構成を行わないトレースキャッシュでは物理的に命令列を履歴通りに連続して格納するため、パスが変わるたびに命令の格納が必要となる。しかし、実施形態の統合キャッシュ３０のように、バンク構成を利用した場合、アドレス蓄積バッファ（ＡＦＢ）が十分に情報を保持していれば、柔軟な命令発行が可能となる。

【０１３４】

このことを、実際にトレースフェッチアドレスを利用して連続したバンク４２をフェッチする方法を用いて説明する。図２０のように、パス５とパス７の履歴を持っている場合、その２つのパスについては十分な命令発行が可能となる。このパスが分岐予測に従い、次はパス１を実行するとした場合、Ａの基本ブロックのみ発行し、次のサイクルでＡから連続するアドレスのフェッチを行う。この場合、一時的に十分な命令発行ができないが、このパスが実行された後またアドレス蓄積バッファ（ＡＦＢ）３６を上書きすることで、次はパス１、５、７の場合には十分な命令発行を行うことができるようになる。

【０１３５】

（第４実施形態）

図２１は本発明の第４実施形態に係わる多ポート命令・トレース統合キャッシュが組込まれた並列プロセッサの要部を示す模式図である。図９に示す第３実施形態の多ポート命令・トレース統合キャッシュが組込まれた並列プロセッサの要部と同一部分には同一符号を付して重複する部分の詳細説明は省略する。

【０１３６】

この第４実施形態においては、フェッチライン・アドレスキャッシュ（ＦＬＡＣ）５１が設けられている。また、蓄積ユニット４３のアドレス蓄積バッファ（ＡＦＢ）３６に蓄積された各アドレスは多ポート命令・トレース統合キャッシュ５０（以下、統合キャッシュ５０と略記する）ではなくて、フェッチライン・ア

ドレスキャッシュ（FLAC）51へ送出される。

【0137】

フェッチライン・アドレスキャッシュ（FLAC）51は、並列プロセッサからフェッチアドレス38が入力すると、フェッチアドレス38と、アドレス蓄積バッファ（AFB）36から入力された複数のアドレスのうち、分岐予測部31の予測パスに基づいて選択された3つのフェッチアドレスとの合計4つのフェッチアドレスを統合キャッシュ50へ送出する。

【0138】

図23にフェッチライン・アドレスキャッシュ（FLAC）51と統合キャッシュ50との詳細構成を示す。フェッチライン・アドレスキャッシュ（FLAC）51内には、タグディレクトリ52とヒット判定回路53とフェッチアドレス選択部54とが設けられている。タグディレクトリ52のフェッチアドレス38のインデックスが指定する領域には、図24に示すように、タグ1、アドレス蓄積バッファ（AFB）36から入力された複数のアドレスからなるトレースフェッチアドレスの集合46が書込まれる。

【0139】

ヒット判定回路53がヒットすると、フェッチアドレス選択部54が分岐予測部31の予測パスに基づいてトレースフェッチアドレスの集合46から3つのフェッチアドレスを選択して統合キャッシュ50へ送出する。また、フェッチライン・アドレスキャッシュ（FLAC）51は入力されたフェッチアドレス38をそのまま統合キャッシュ50へ送出する。

【0140】

統合キャッシュ50内には、入力される4つフェッチアドレスにそれぞれ対応して4つのタグディレクトリ55が設けられている。各タグディレクトリ55におけるフェッチアドレスのインデックスが指定する領域には、有効（valid）ビット、トレースキャッシュからのデータであることを示すトレース（trace）ビット、タグ1、トレースキャッシュからのデータの場合に先頭アドレスであることを特定するためのタグ2が設けられている。

【0141】

ヒット判定回路40がヒットすると、該当フェッチアドレスのインデックス部分をフェッチアドレスとして多ポートメモリ43のバンクアクセス回路44へ送出する。バンクアクセス回路44は、入力された各フェッチアドレスが指定するバンク42内の各1単位ブロック分のデータ（命令データ）を読み出して命令バッファ33へ出力する。

【0142】

このように構成された第4実施形態の統合キャッシュ50の特徴を説明する。

【0143】

第3実施形態の統合キャッシュ30においては、トレースフェッチアドレスが有効な所までをフェッチを行なっている。図22の命令蓄積バッファ（IBF）35に示すように、トレースフェッチアドレスはAの「疑似的な基本ブロック」が分岐成立し、Bの「疑似的な基本ブロック」が分岐は不成立で、Cの基本ブロックに続くパスの情報を保持しているとする。この場合、もしBの基本ブロックがDへ分岐すると予測した場合、トレースの内容が保証されているA、Bの基本ブロックしか命令フェッチを行なわなかった。しかし、Dの基本ブロックが命令キャッシュデータとして保持している可能性があるため、Dのアドレスも発行し、もしヒットすれば同時に命令発行を行なうことが望ましい。

【0144】

このため、第3実施形態の統合キャッシュ30に対してアドレスを1つしか発行していなかったが、第4実施形態の統合キャッシュ50に対して4つのアドレスを発行する。このため統合キャッシュ50ではタグディレクトリ55を4つ多重化して持つ。また、フェッチライン・アドレスキャッシュ（FLAC）51がそれら4つのフェッチのためのフェッチアドレスを生成する。

【0145】

この第4実施形態では、まずフェッチの先頭アドレスはフェッチライン・アドレスキャッシュ（FLAC）51にアクセスされる。フェッチライン・アドレスキャッシュ（FLAC）51でヒットした場合、フェッチライン・アドレスキャッシュ（FLAC）51から対応する4つのアドレスを統合キャッシュ50に発行する。フェッチライン・アドレスキャッシュ（FLAC）51から発

行されるアドレスはフェッチされる可能性のあるアドレスの集合なので、分岐予測に従い、フェッチされるアドレスを選択する。先頭のアドレスはフェッチライン・アドレスキャッシュ（FLAC）51にアクセスする時と同様のアドレスが入力される。

【0146】

すなわち、この第4実施形態においては、フェッチライン・アドレスキャッシュ（FLAC）51にアクセスすることによりトレースを生成するアドレスを発行する。そして、分岐予測によりアドレス蓄積バッファ（AFB）36で実行されてないトレースの方向へ分岐すると予測した場合においても、そのアドレスを発行し、命令キャッシュとしてデータを持っていないかを確認することが可能となる。

【0147】

但し、統合キャッシュ50はタグの比較を4個のアドレスで行なわなくてはならないため、4個のタグディレクトリ55が設けられている。統合キャッシュ50ではこの4つのアドレスを受けとり、ヒット判定を行なう。もし、トレースフェッチアドレスとして保証されていない基本ブロックがヒットした場合は、その命令列も同時に命令フェッチを行なう。この方式により、1度の命令フェッチの際に、途中までがトレースデータで、途中からは初めて実行される命令キャッシュのデータという命令列を同時にフェッチすることが可能となる。

【0148】

（第5実施形態）

図25は本発明の第5実施形態に係わる多ポート命令・トレース統合キャッシュの要部を取出して示すブロック図である。図10に示す第3実施形態の多ポート命令・トレース統合キャッシュ30と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0149】

この第5実施形態の多ポート命令・トレース統合キャッシュは、図10に示す第3実施形態の多ポート命令・トレース統合キャッシュ30におけるタグディレクトリ39を、命令用タグディレクトリ39aとトレース用タグディレクトリ3

9 b とに分割している。

【0 1 5 0】

そして、命令用タグディレクトリ 3 9 a におけるフェッチアドレス 3 8 のインデックスに指定される各領域 4 5 には、この領域 4 5 が有効であることを示す有効 (valid) ビット、及びタグ 1 が記憶されている。また、トレース用タグディレクトリ 3 9 b におけるフェッチアドレス 3 8 のインデックスに指定される各領域 4 5 には、この領域 4 5 が有効であることを示す有効 (valid) ビット、タグ 1、タグ 2、及びトレースフェッチアドレスの集合 4 6 が記憶されている。

【0 1 5 1】

命令キャッシュヒット判定回路 4 0 a は、領域 4 5 における有効 (valid) ビットが有効で、タグ 1 が一致すれば、命令キャッシュのデータがヒットする。一方、トレースキャッシュヒット判定回路 4 0 b は、領域 4 5 における有効 (valid) ビットが有効で、タグ 1、2 が一致すれば、トレースキャッシュのデータがヒットする。命令キャッシュヒット判定回路 4 0 a 及びトレースキャッシュヒット判定回路 4 0 b がヒットした場合におけるフェッチアドレス選択部 4 1 以降の動作は、図 1 0 に示す第 3 実施形態に係わる多ポート命令・トレース統合キャッシュ 3 0 とほぼ同じであるので説明を省略する。なお、同時にヒットした場合は、トレースキャッシュヒット判定回路 4 0 b のヒットが優先される。

【0 1 5 2】

このように構成された第 5 実施形態の多ポート命令・トレース統合キャッシュにおいては、各タグディレクトリ 3 9 a、3 9 b に、トレース識別ビットを設定する必要はない。したがって、各キャッシュヒット判定回路 4 0 a、4 0 b の判定処理が簡素化される。

【0 1 5 3】

なお、図 2 5 に示した第 5 実施形態の多ポート命令・トレース統合キャッシュにおいては、トレース用タグディレクトリ 3 9 b における各領域 4 5 にトレースフェッチアドレスの集合 4 6 が記憶されているが、このトレースフェッチアドレスの集合 4 6 を、トレース用タグディレクトリ 3 9 b でなくて、図 1 2 に示す第 4 実施形態の多ポート命令・トレース統合キャッシュと同様に、外部のフェッチラ

イン・アドレスキャッシュ（FLAC）51に格納することが可能である。

【0154】

この場合、図12に示す第4実施形態の多ポート命令・トレース統合キャッシュと同様に、多ポート命令・トレース統合キャッシュ内に、複数の命令用タグディレクトリ39aと複数のトレース用タグディレクトリ39bと、各タグディレクトリ39a、39bに対応して、複数の命令キャッシュヒット判定回路40a及び複数のトレースキャッシュヒット判定回路40bが設けられている。

【0155】

（第6実施形態）

図26は本発明の第6実施形態に係わる多ポート命令・トレース・データ統合キャッシュの概略構成図である。図8に示す多ポート命令・データ統合キャッシュ10と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0156】

この第6実施形態の多ポート命令・トレース・データ統合キャッシュ60（以降、統合キャッシュ60と略記する）は、従来の命令キャッシュとトレースキャッシュとデータキャッシュとの3つのキャッシュを統合した統合キャッシュである。

【0157】

この第6実施形態の統合キャッシュ60においては、I0～I7の8個の命令ポート11（データ幅：64ビット）、この8個の命令ポートと重複するI0～I7の8個のトレースポート11（データ幅：64ビット）、及びD0、D1の2個のデータポート11（データ幅：8ビット）が設けられている。

【0158】

各命令ポート、各トレースポートは、各バンク19のアドレスの下位2ビットでプリデコードされており、特定のバンク19にしかアクセスできない構造とし、同時には連続したアドレスへのアクセスでは、必ずアクセス競合が起こらないような構成とする。さらに、連続しないアドレスへのアクセスも、アドレスの下位2ビットが衝突しない限り可能である。一方、データポートは、命令ポート及びトレースポートより連続したアドレスへのアクセスの確率は低いため、全ての

バンク 19 にアクセスできる構造である。さらに、各バンク 19 には、各ポート 1.1 側の 4 個のポートをバンク 19 側に対する 1 個のポートに変換するポート数変換回路 18 が取付けられている。

【0159】

図 8 の統合キャッシュ 10 においては同時に 4 命令を読み出し可能とした。

これに対して、この図 26 の統合キャッシュ 60 においては、この統合キャッシュ 60 を命令キャッシュとしてアクセスする場合、4 つの命令のみなく、I0 ～ I7 の 8 個の命令ポートを用いて、同時に 8 つの連続するバンク 19 にアクセスし、合計 8 個の連続する命令を読み出すことが可能である。

【0160】

また、この統合キャッシュ 60 をトレースキャッシュとしてアクセスする場合、上述した他の実施形態と同じく、I0 ～ I7 の 8 個のトレースポートを用いて、履歴を使用して対応するバンク 19 にアクセスして、命令列からなるトレースデータを読み出す。この場合、完全に連続したバンク 19 でなくて、履歴によっては連続しないバンク 19 にアクセス可能である。

【0161】

また、この統合キャッシュ 60 をデータキャッシュとしてアクセスする場合、D0、D1 の 2 個のデータポートを用いて各バンク 19 にアクセスして、データを読み出す。

【0162】

このように、構成された第 6 実施形態の統合キャッシュ 60 においては、従来の命令キャッシュとトレースキャッシュとデータキャッシュとの 3 つのキャッシュを 1 つのキャッシュに統合できるので、キャッシュ全体としての必要とする記憶容量をさらに減少できる。

【0163】

(第 7 実施形態)

図 27 は本発明の第 7 実施形態に係わる多ポート命令・トレース・データ統合キャッシュ 61 の概略構成図である。図 10 に示す第 3 実施形態の多ポート命令・トレース統合キャッシュ 30 と同一部分には同一符号を付して重複する部分の

詳細説明は省略する。

【0164】

この第7実施形態の多ポート命令・トレース・データ統合キャッシュ61（以下、統合キャッシュ61と省略する）においては、多ポートバンクメモリ43の各バンク42から各データを読み出すバンクアクセス回路44の出力ポートとして、命令データ及びトレースデータを読み出すための出力ポートの他に、命令ではない通常のデータ（ワード）を読み出すための出力ポートが設けられている。

【0165】

そして、選択された4つのバンク42から通常のデータ（ワード）の出力ポートを介して読み出された1ラインの4データ（4ワード）のうちプロセッサが必要とする1つのデータ（1ワード）を選択する選択回路62が組込まれている。

【0166】

すなわち、この第7実施形態の統合キャッシュ61においては、図10に示す第3実施形態の統合キャッシュ30における命令及びトレースの読み出し機能をそのまま使用する。そして、命令の読み出しの機能（アクセス機能）をそのままデータの読み出し機能（アクセス機能）に使用する。

【0167】

第3実施形態の統合キャッシュ30における命令キャッシュのデータ幅は4命令であるので、この命令の読み出しの機能（アクセス機能）に対してデータキャッシュとしてアクセスすると、4命令に対応する連続する4ワードが取出される。したがって、上述したように、選択回路62を用いて、プロセッサが必要とする1つのデータ（ワード）を選択する必要がある。

【0168】

命令キャッシュとしての1ラインの4データ（4ワード）のアドレスは、下位2ビットは必ず[00]から始まり、[01]、[10]、[11]へと続く。したがって、図28に示すように、プロセッサが必要とする1つのデータとして、プロセッサから出力されフェッチアドレス38の下位2ビットの値と一致したデータを選択して、命令バッファ32へ送出する。

【0169】

なお、データキャッシュとしてこの統合キャッシュ 6 1 に対してアクセスを行った結果、トレースキャッシュとしてヒットした場合、データキャッシュとしてのデータが保証できないために、キャッシュミスと判定する。

【 0 1 7 0 】

このように構成された第 7 実施形態の統合キャッシュ 6 1 においては、命令の読出しの機能（アクセス機能）をそのままデータの読出し機能（アクセス機能）に使用することによって、従来の命令キャッシュとトレースキャッシュとデータキャッシュとの 3 つのキャッシュを 1 つのキャッシュに統合できるので、キャッシュ全体としての必要とする記憶容量をさらに減少できる。

【 0 1 7 1 】

なお、本発明は上述した各実施形態の統合キャッシュに限定されるものではない。各実施形態の統合キャッシュにおいては、統合キャッシュのバンクから 1 度に 4 個の命令又はデータを読出すように構成した。しかしながら、1 度に読出す命令又はデータの数 は 4 個に限定されるものではなくて、任意に設定することが可能である。

【 0 1 7 2 】

【発明の効果】

以上説明したように、本発明の多ポート命令・データ統合キャッシュ、多ポート命令・トレース統合キャッシュ、及び多ポート命令・トレース・データ統合キャッシュにおいては、バンク構造を用い、各ポートに対するデータ幅及び容量を任意に設定でき、その結果、アクセスパターンの異なる命令やデータの情報を 1 つのキャッシュに統合でき、フラグメンテーションの発生を防止し、キャッシュの実効容量を増加させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態の多ポート命令・データ統合キャッシュを並列プロセッサに接続した状態を示す模式図

【図 2】

同統合キャッシュの概略構成図

【図 3】

同統合キャッシュをHMA構造を用いて構成した場合の詳細構成図

【図 4】

本発明の第2実施形態の多ポート命令・データ統合キャッシュの概略構成図

【図 5】

同統合キャッシュをクロスバスイッチネットワーク構造を用いて構成した場合の詳細構成図

【図 6】

第1、第2の実施形態の統合キャッシュにおける容量とミス率との関係を示す図

【図 7】

第1、第2の実施形態の統合キャッシュにおけるバンク数と競合発生率との関係を示す図

【図 8】

第1の実施形態の統合キャッシュを実際の並列プロセッサに応用した状態を示す図

【図 9】

本発明の第3実施形態に係わる多ポート命令・トレース統合キャッシュが適用される並列プロセッサの要部を示す模式図

【図 10】

同統合キャッシュの概略構成図

【図 11】

同統合キャッシュのタグディレクトリ及びヒット判定回路の詳細構成図

【図 12】

同統合キャッシュの多ポートバンクメモリの詳細構成図

【図 13】

同統合キャッシュにおける各バンクに対するアドレス指定状態を示す図

【図 14】

同統合キャッシュにおける各バンクの分岐先を示す図

【図 1 5】

同統合キャッシュが組込まれた並列プロセッサのアドレス蓄積バッファの記憶内容を示す図

【図 1 6】

同統合キャッシュが組込まれた並列プロセッサの命令蓄積バッファの記憶内容を示す図

【図 1 7】

同統合キャッシュが組込まれた並列プロセッサにおける実行されるパスを示す図

【図 1 8】

同統合キャッシュが組込まれた並列プロセッサのアドレス蓄積バッファの記憶内容を示す図

【図 1 9】

同じく同統合キャッシュが組込まれた並列プロセッサのアドレス蓄積バッファの記憶内容を示す図

【図 2 0】

同統合キャッシュが組込まれた並列プロセッサの命令フェッチアドレスの発行状態を示す図

【図 2 1】

本発明の第 4 実施形態に係わる多ポート命令・トレース統合キャッシュが適用される並列プロセッサの要部を示す模式図

【図 2 2】

同統合キャッシュの効果を説明するための図

【図 2 3】

同統合キャッシュの概略構成図

【図 2 4】

同統合キャッシュのタグディレクトリ及びヒット判定回路の詳細構成図

【図 2 5】

本発明の第 5 実施形態に係わる多ポート命令・トレース統合キャッシュの概略

構成図

【図 2 6】

本発明の第 6 実施形態に係わる多ポート命令・トレース・データ統合キャッシュの概略構成図

【図 2 7】

本発明の第 7 実施形態に係わる多ポート命令・トレース・データ統合キャッシュの概略構成図

【図 2 8】

同統合キャッシュの選択回路の動作を説明するための図

【図 2 9】

従来のキャッシュとプロセッサとの関係を示す図

【図 3 0】

従来のトレースキャッシュと命令キャッシュとの動作を示す図

【符号の説明】

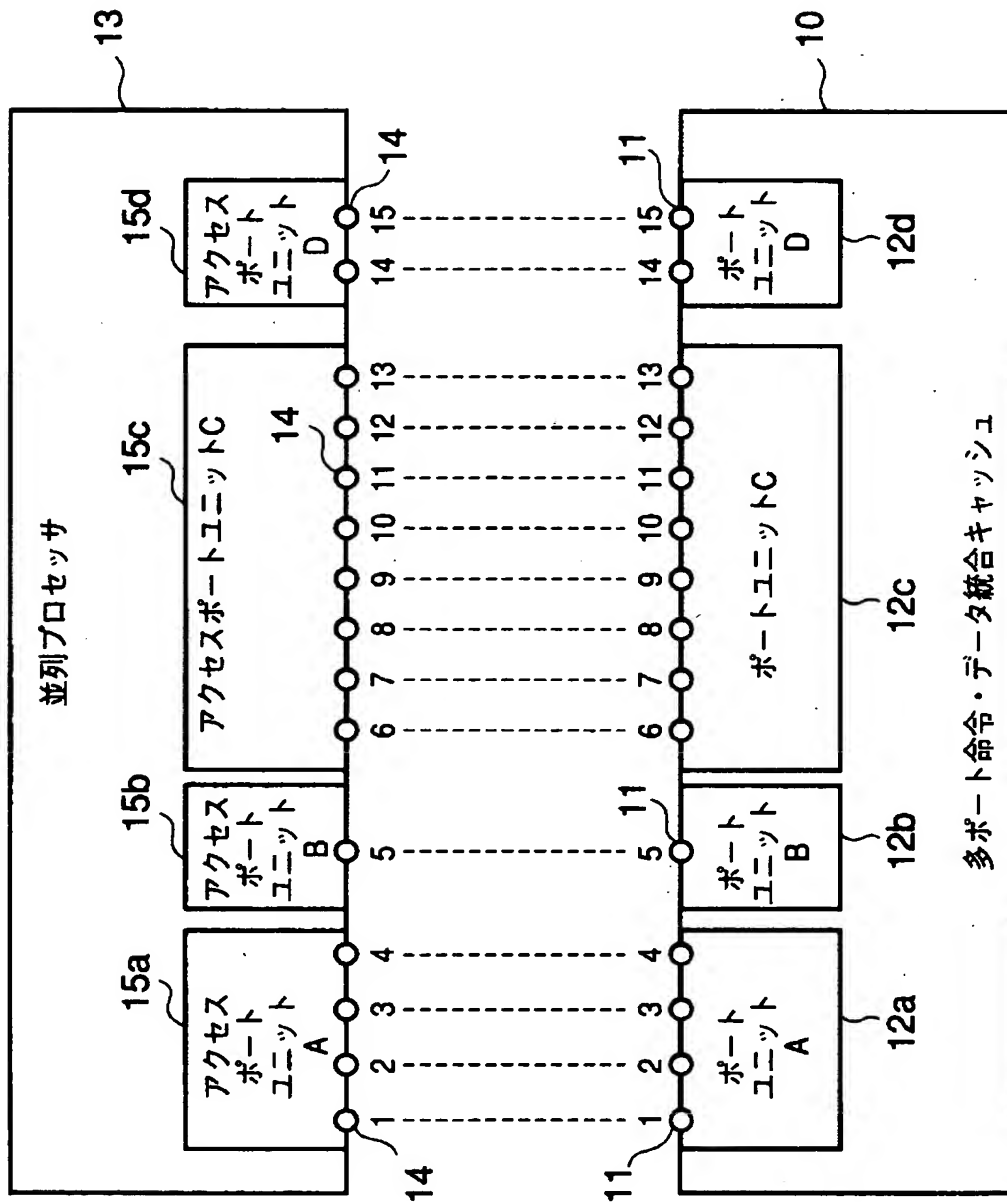
- 1 0 …多ポート命令・データ統合キャッシュ
- 1 1、1 4 …ポート
- 1 2 a ～ 1 2 d …ポートユニット
- 1 3 …並列プロセッサ
- 1 5 a ～ 1 5 d …アクセスポートユニット
- 1 8、1 8 a …ポート数変換回路
- 1 9、1 9 a、4 2 …バンク
- 3 0、5 0 …多ポート命令・トレース統合キャッシュ
- 3 1 …分岐予測部
- 3 2 …命令バッファ
- 3 3 …命令実行部
- 3 4 …蓄積ユニット
- 3 5 …命令蓄積バッファ
- 3 6 …アドレス命令蓄積バッファ
- 3 7 …主記憶

- 38…フェッチアドレス
- 39、52、55…タグディレクトリ
- 39a…命令用タグディレクトリ
- 39b…トレース用タグディレクトリ
- 40…ヒット判定回路
- 41、54…フェッチアドレス選択部
- 43…多ポートバンクメモリ
- 44…バンクアクセス回路
- 47、40a…命令キャッシュヒット判定回路
- 48、40b…トレースキャッシュヒット判定回路
- 51…フェッチライン・アドレスキャッシュ
- 60、61…多ポート命令・トレース・データ統合キャッシュ

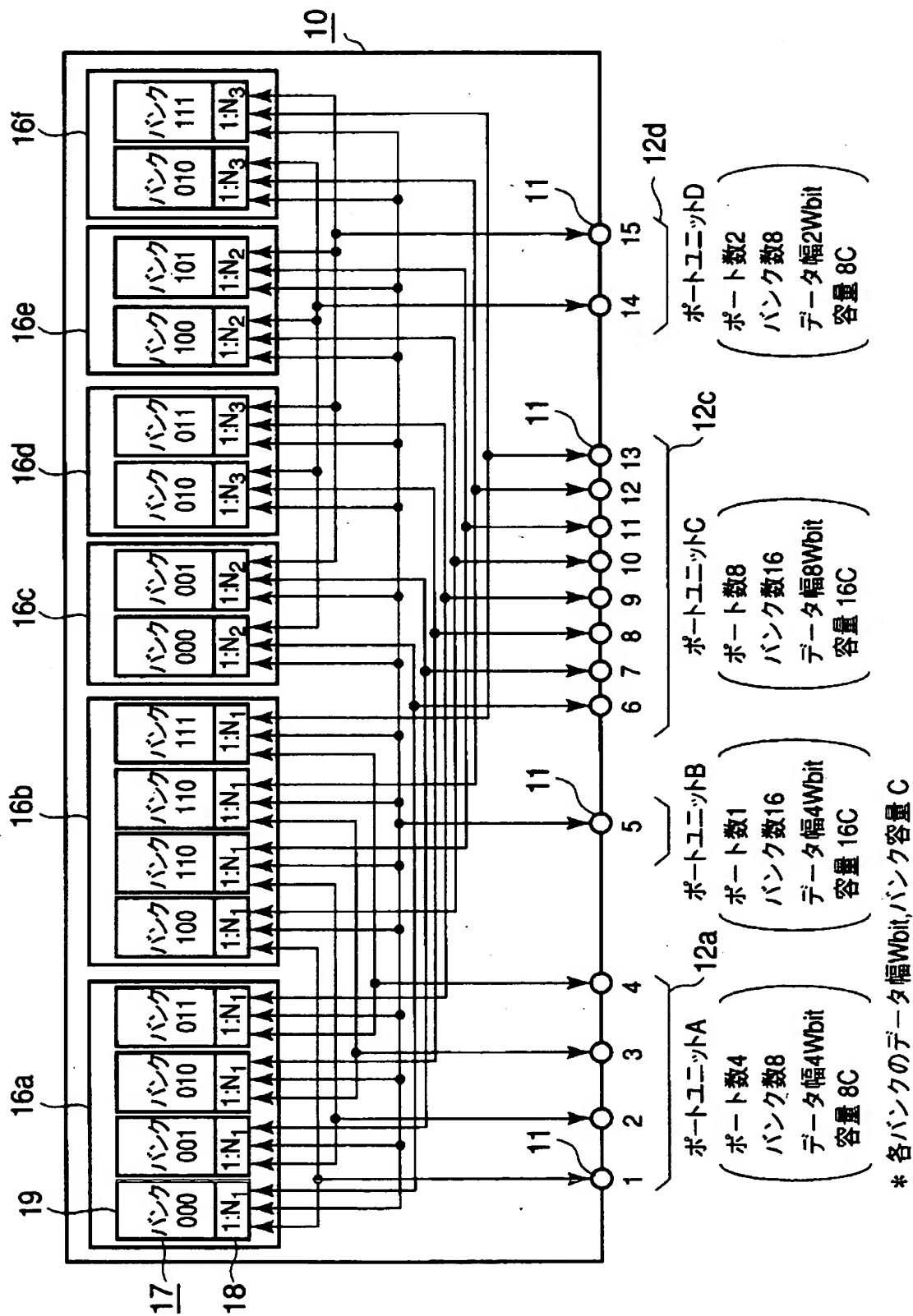
【書類名】

図面

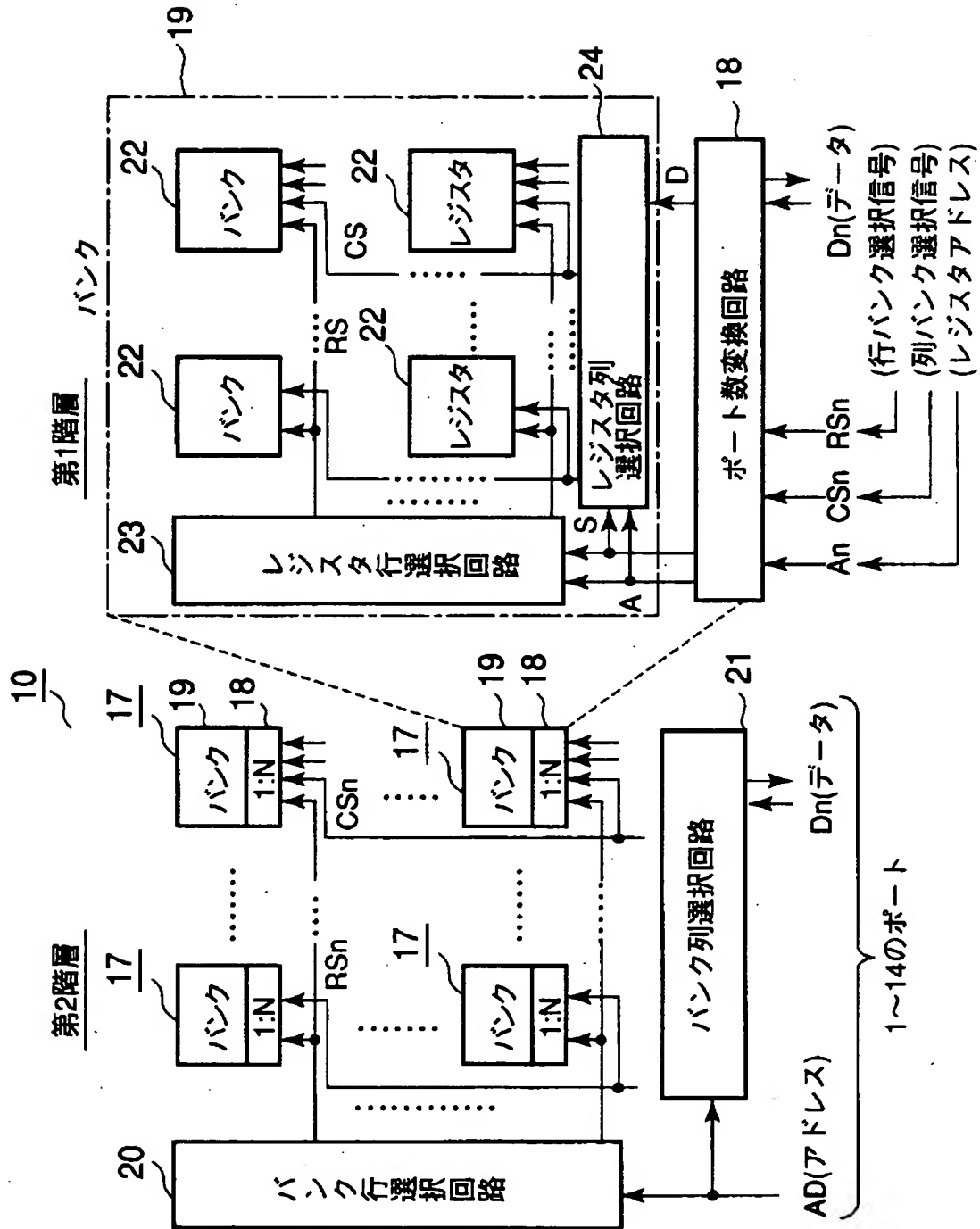
【図 1】



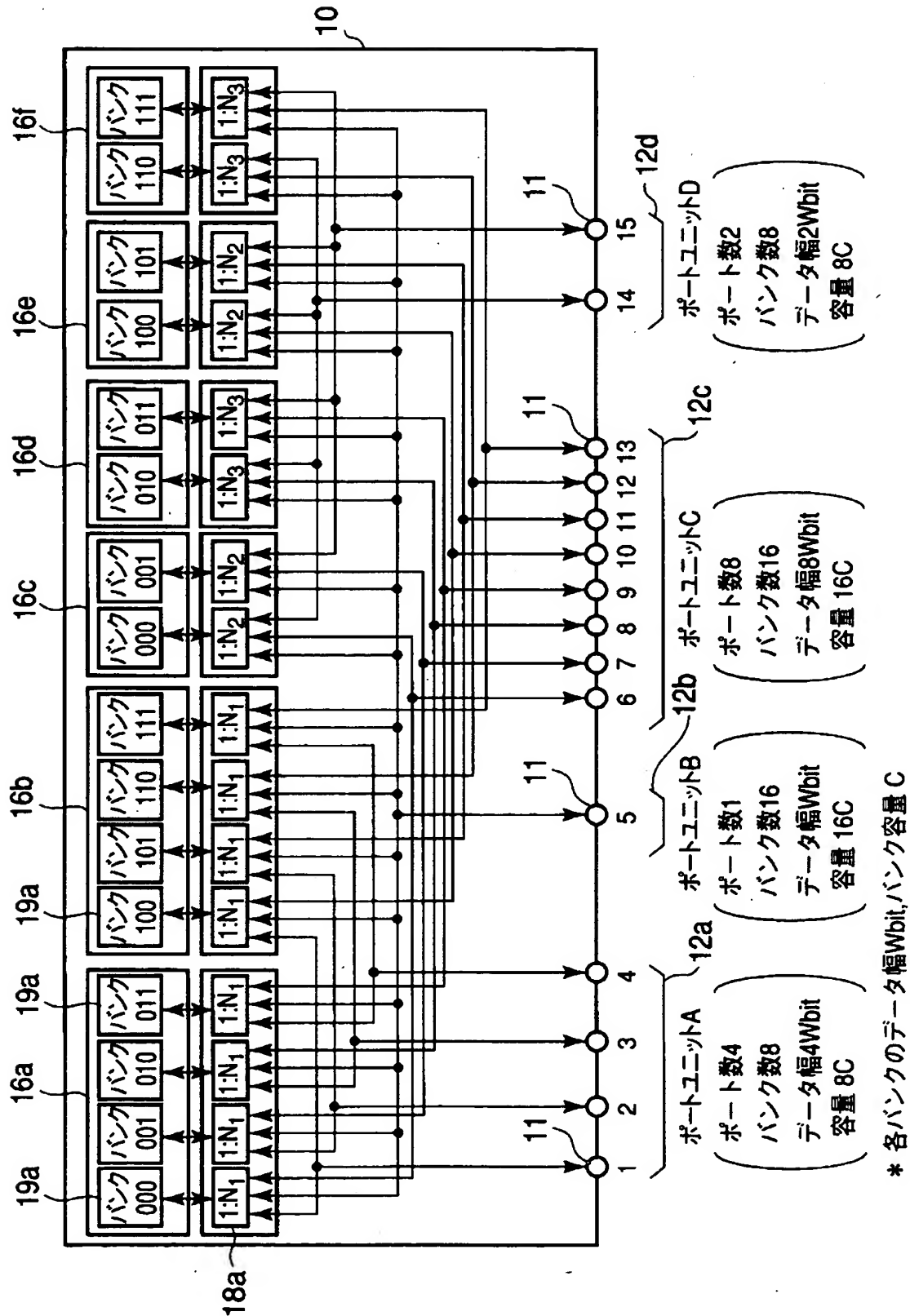
【図 2】



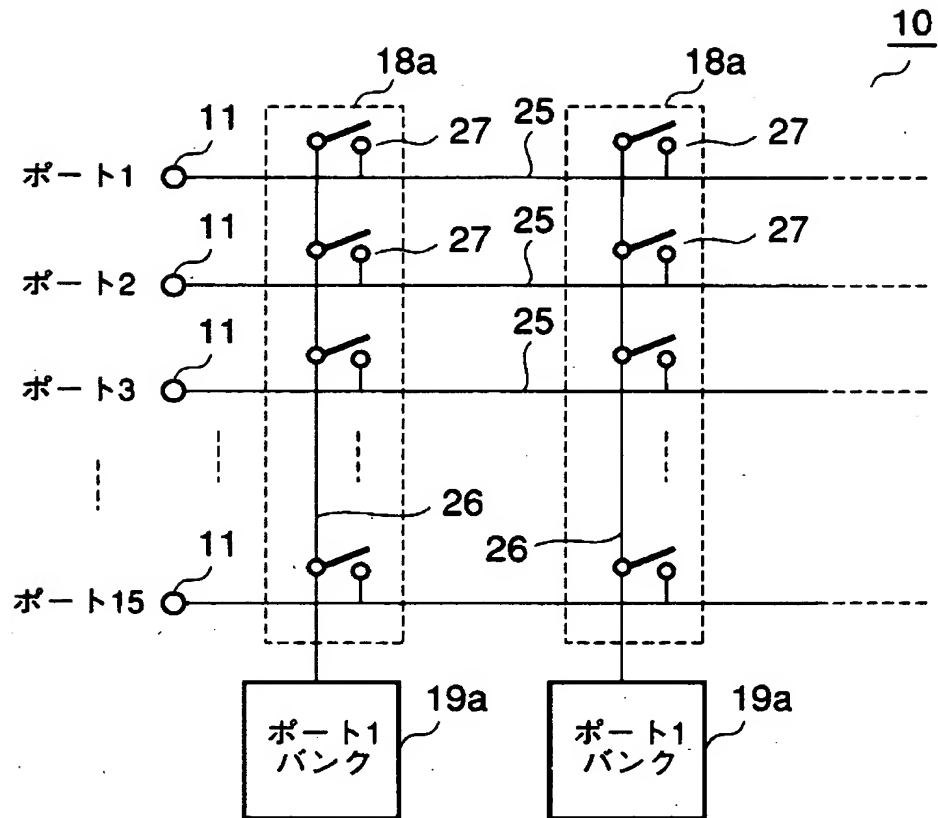
【圖 3】



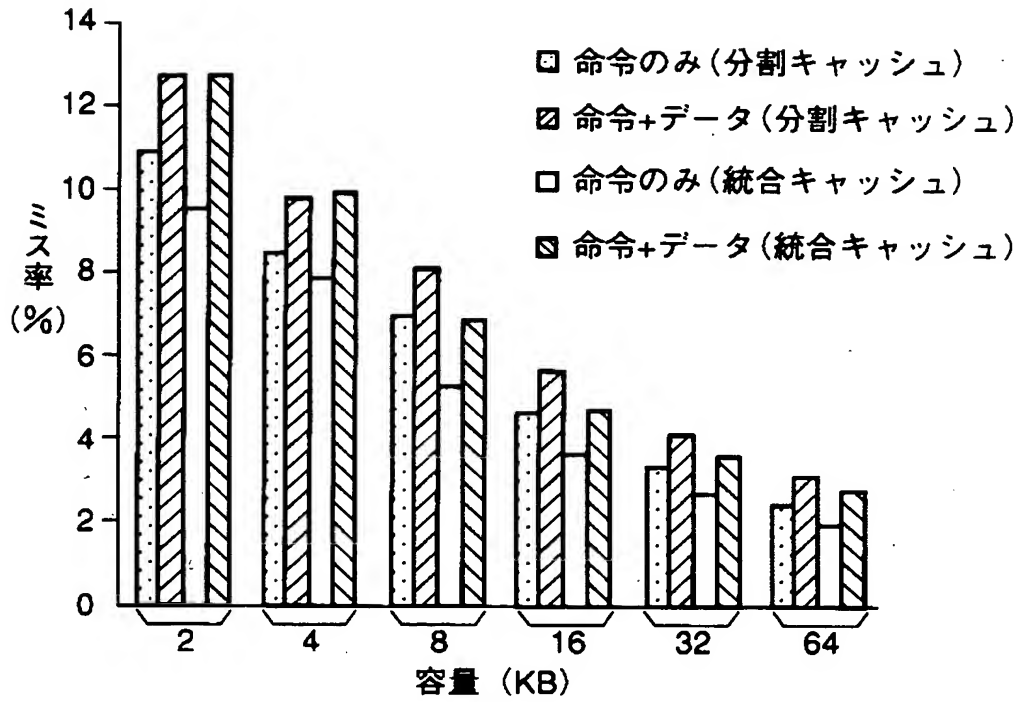
【図4】



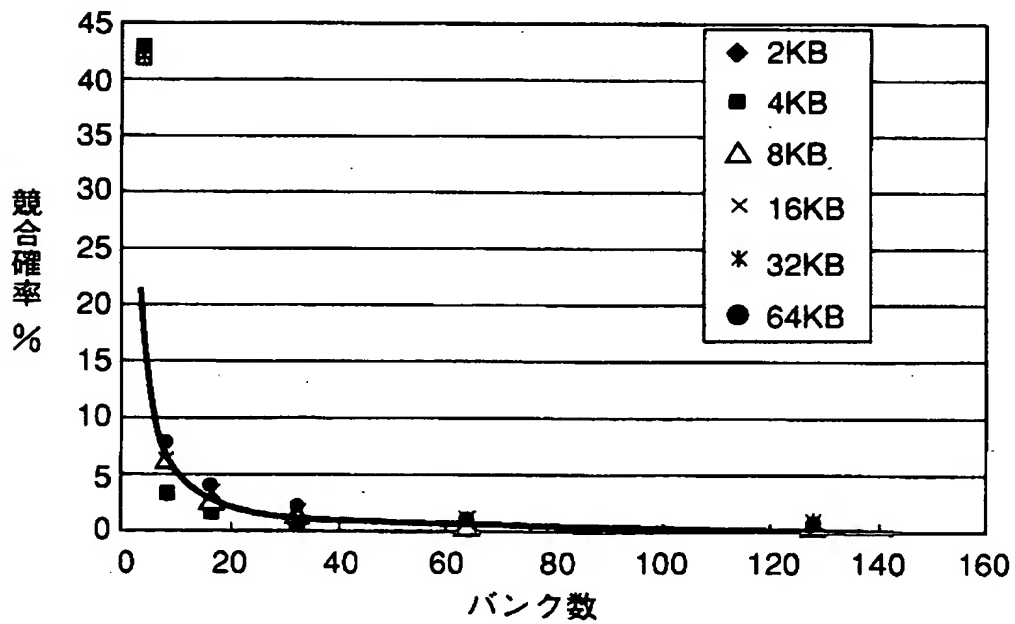
【図 5】



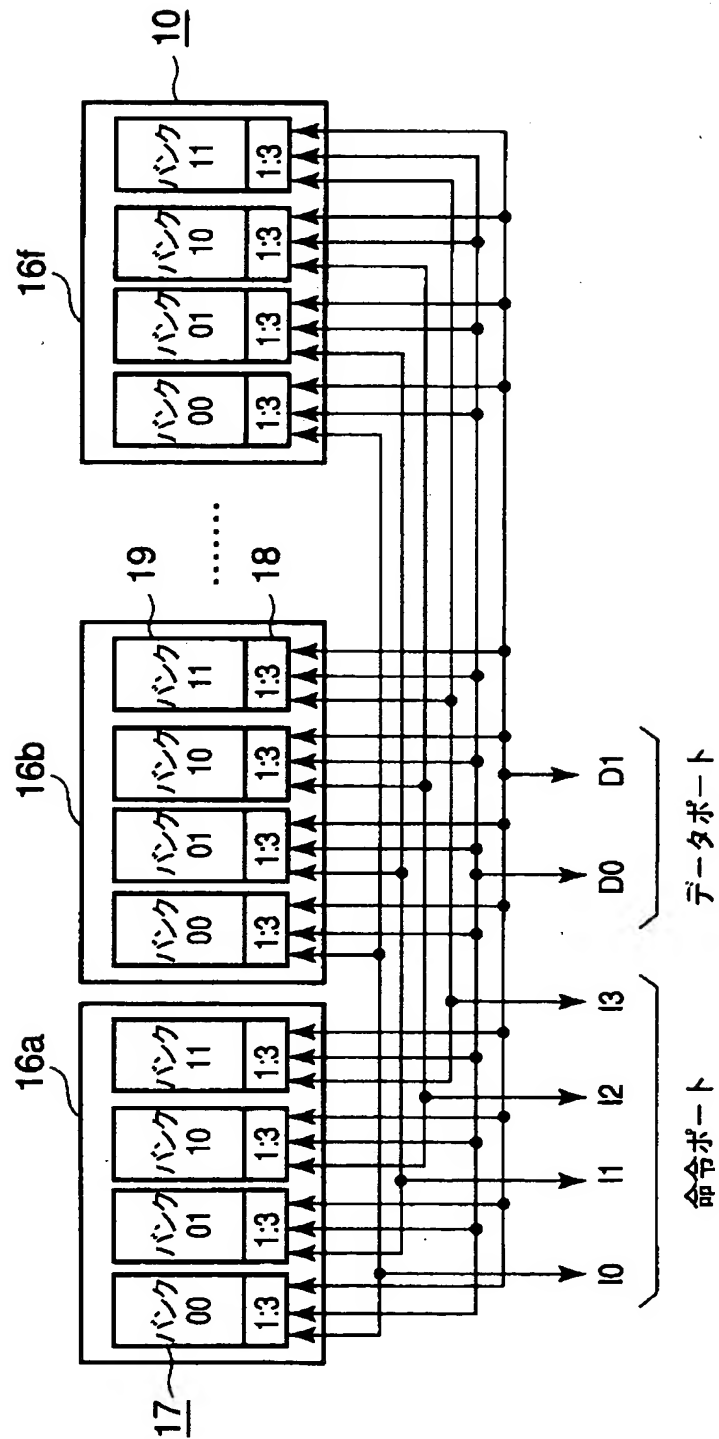
【図 6】



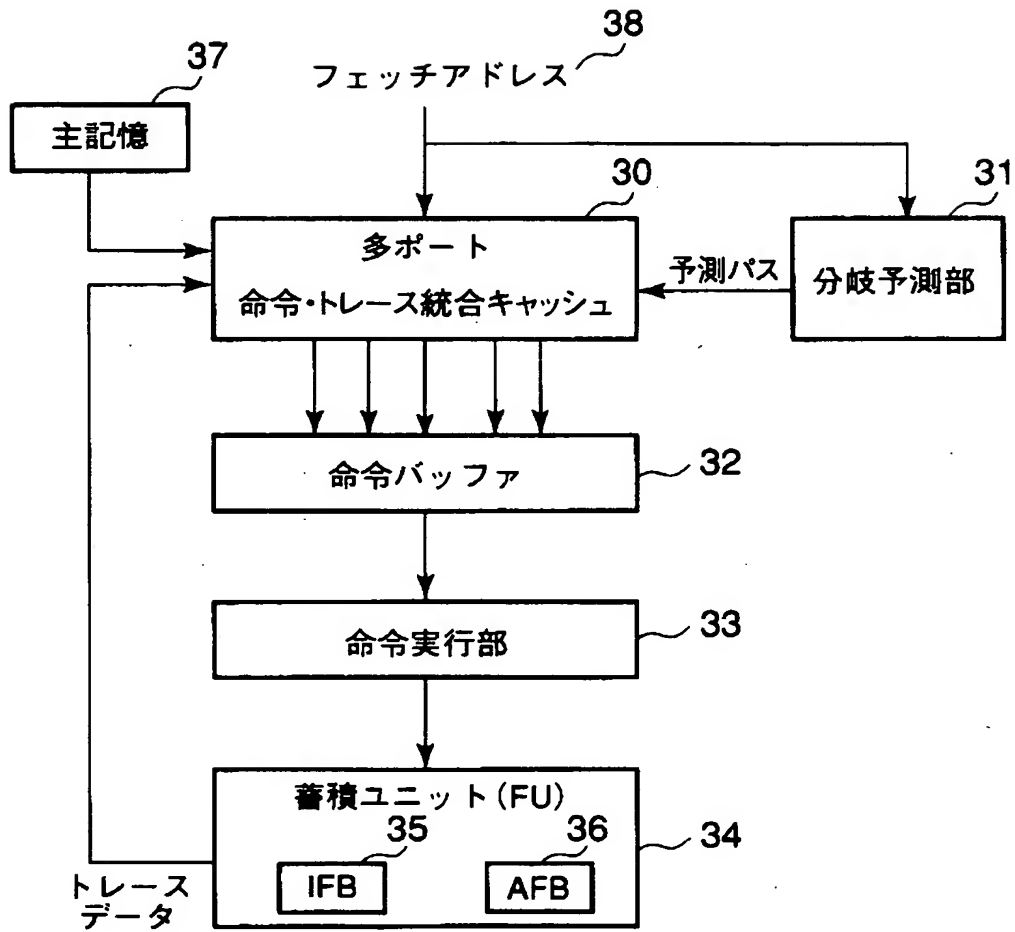
【図 7】



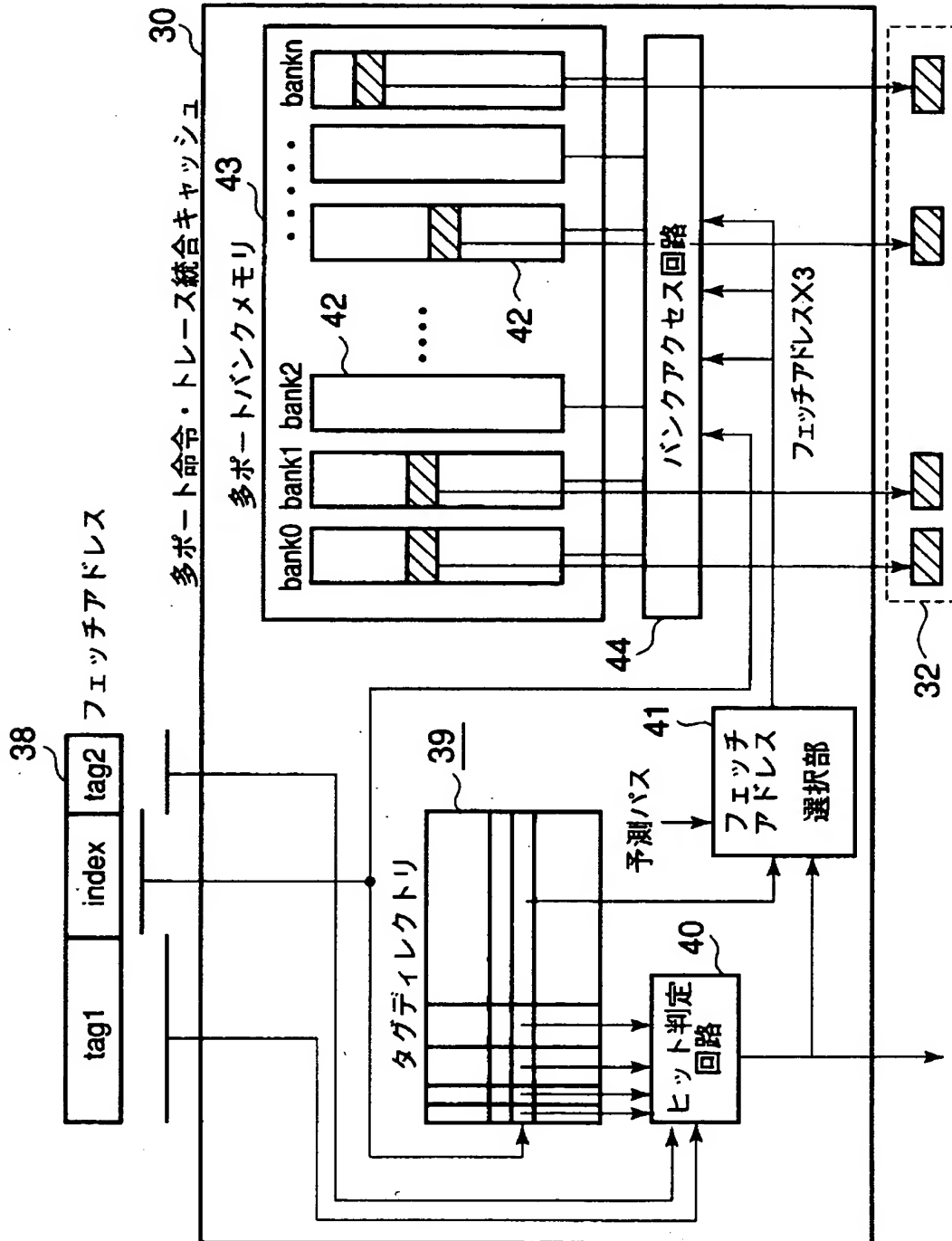
【図 8】



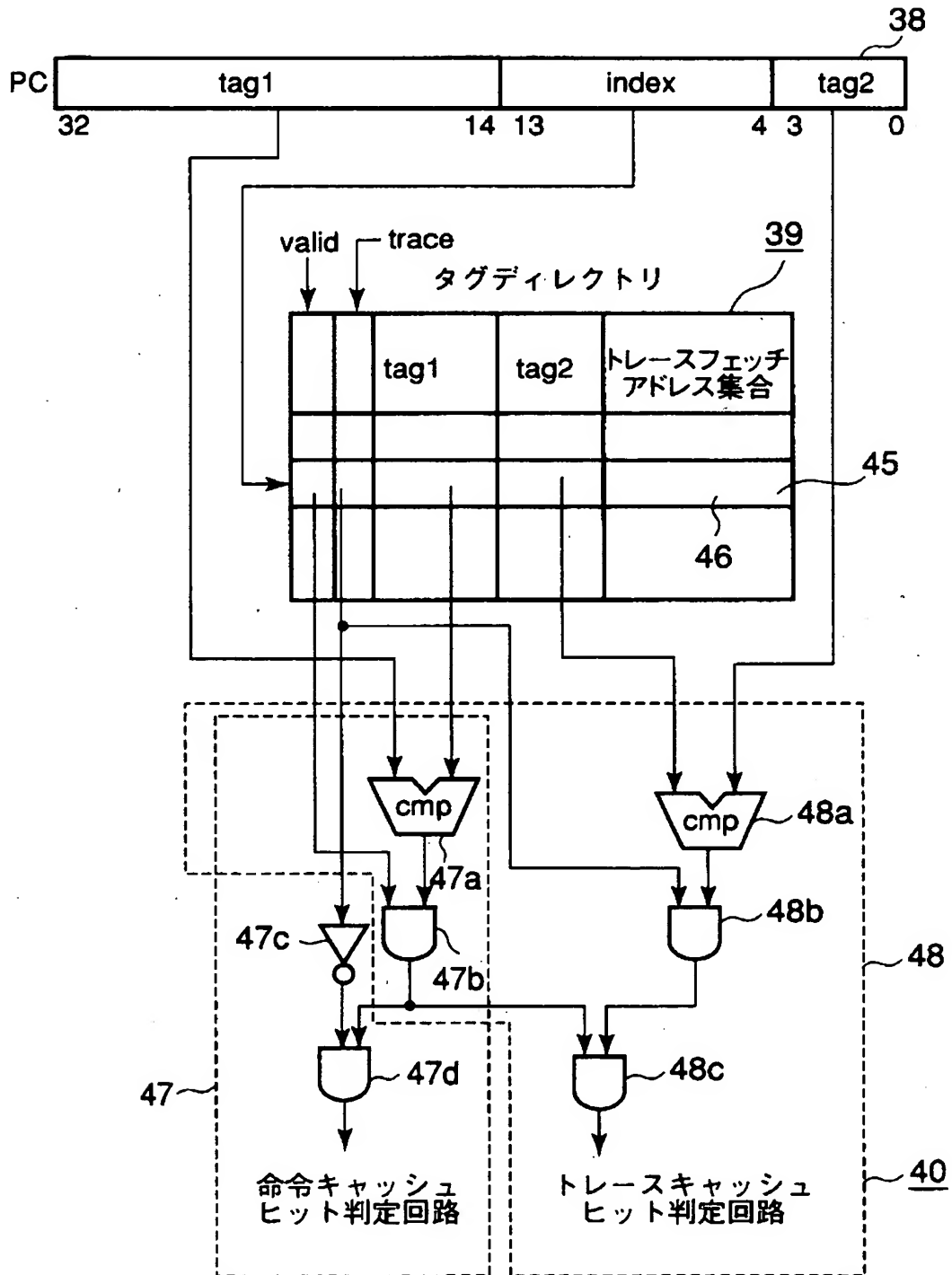
【図9】



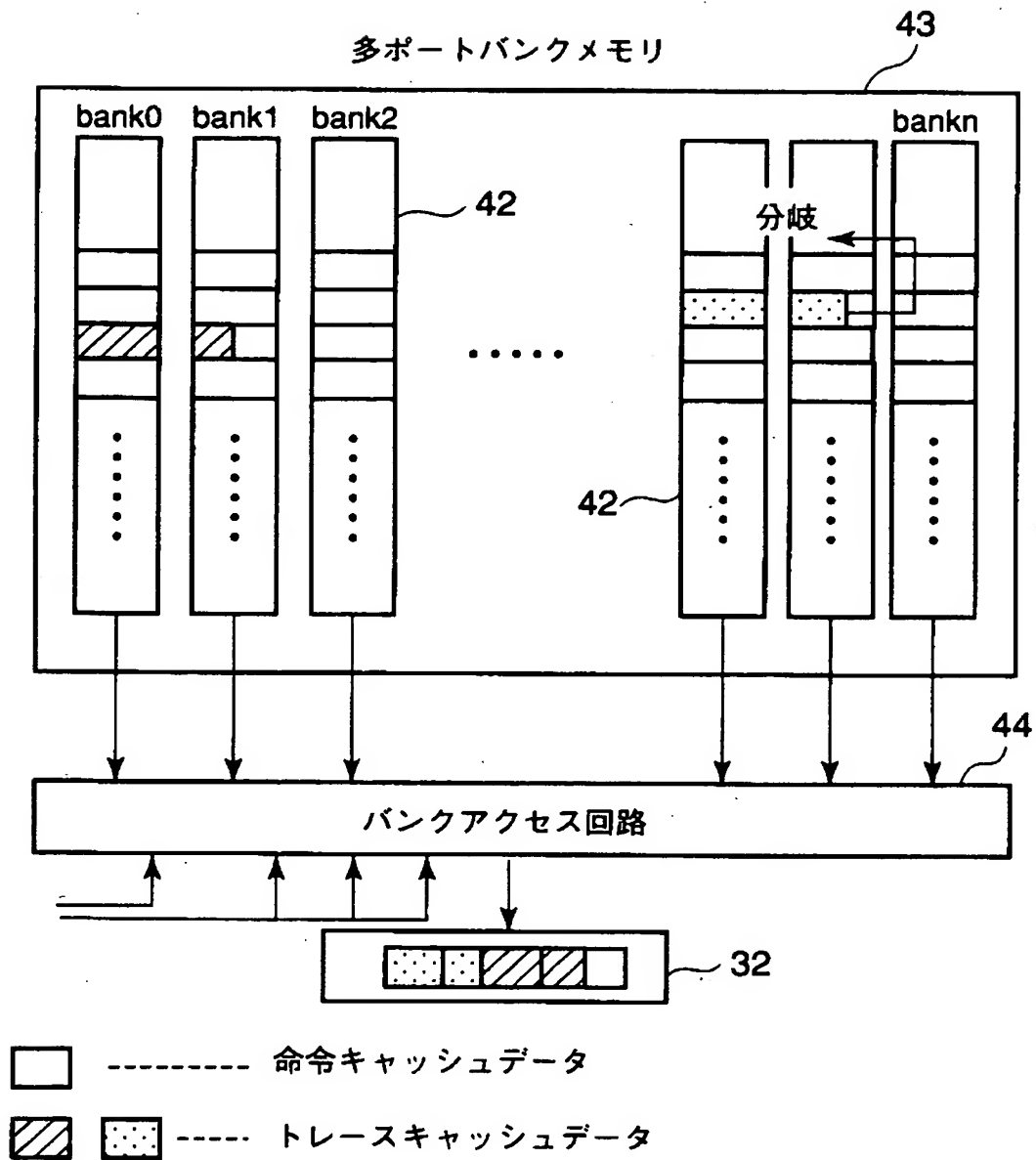
【図10】



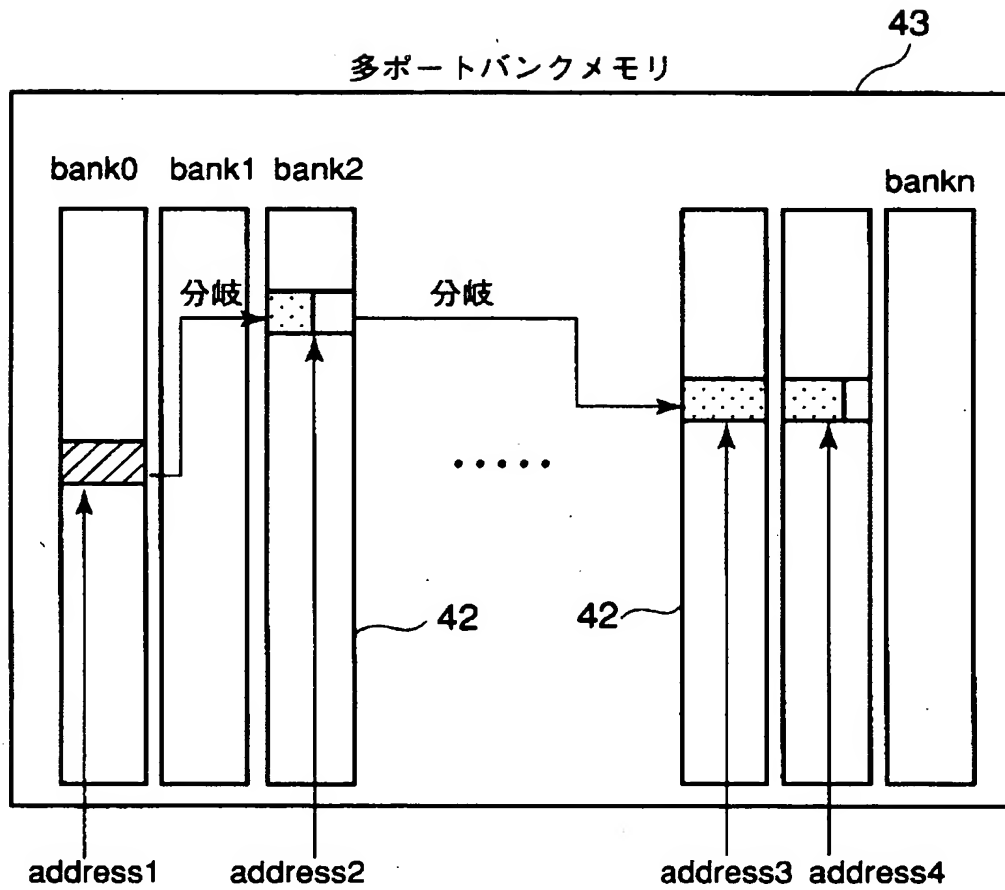
【図 11】



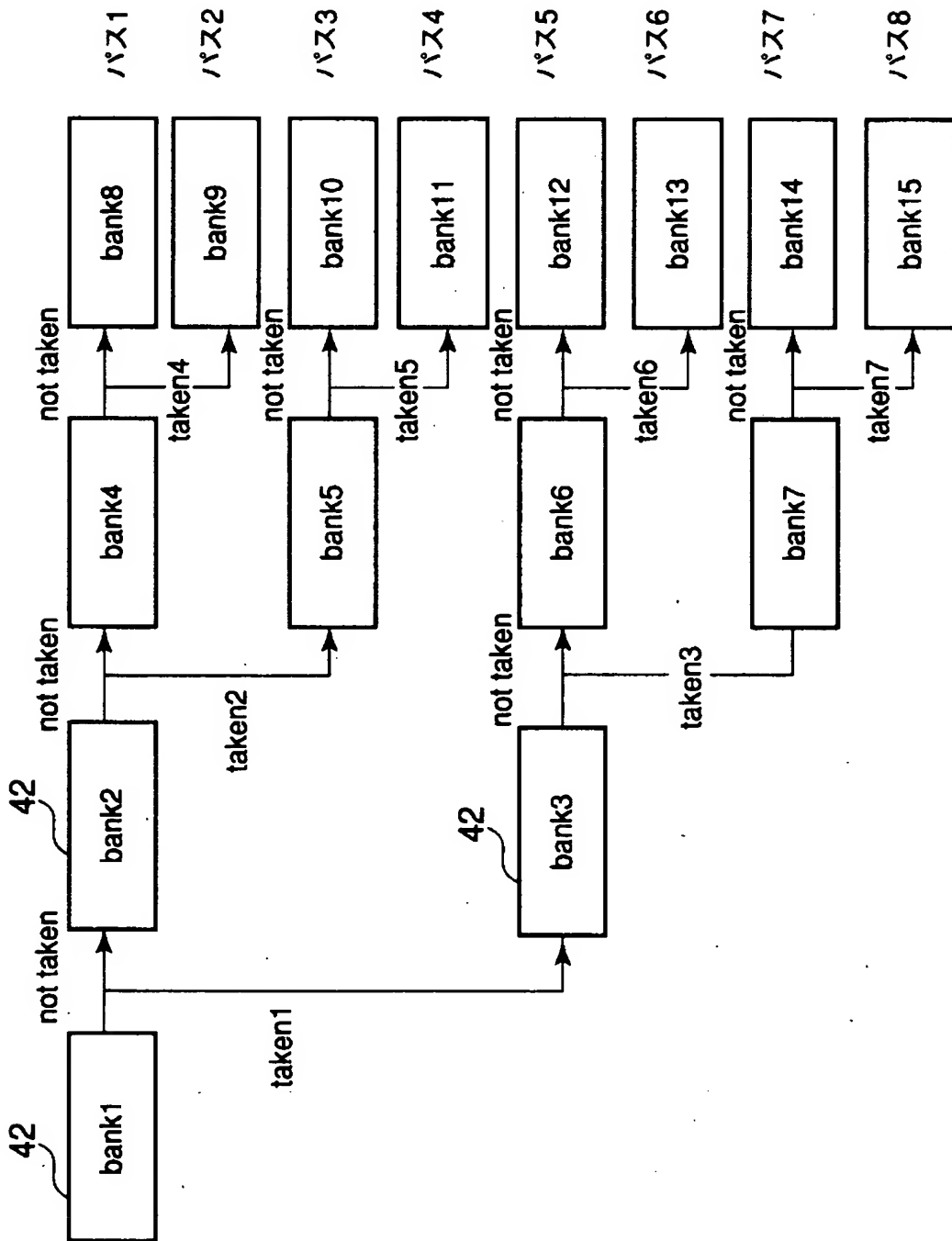
【図 12】



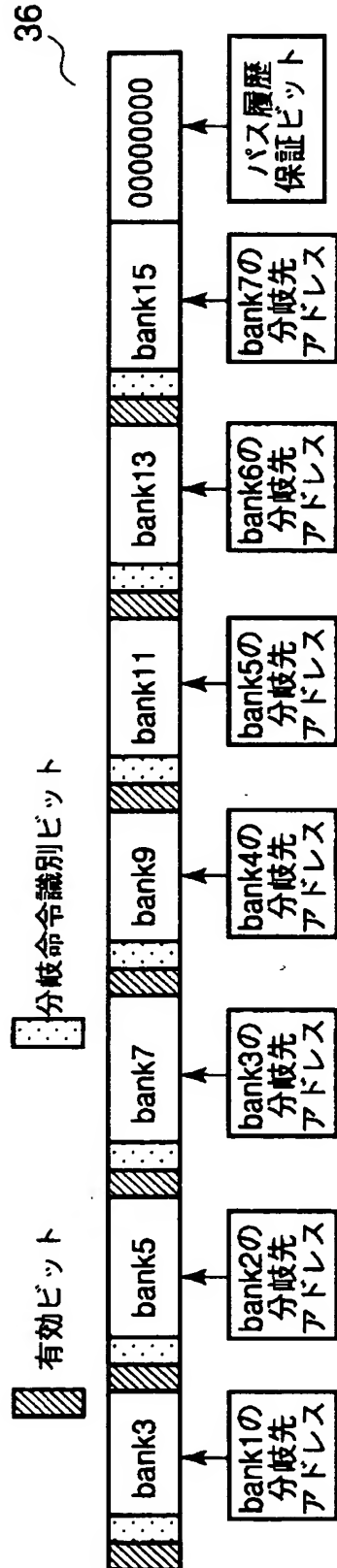
【図 13】



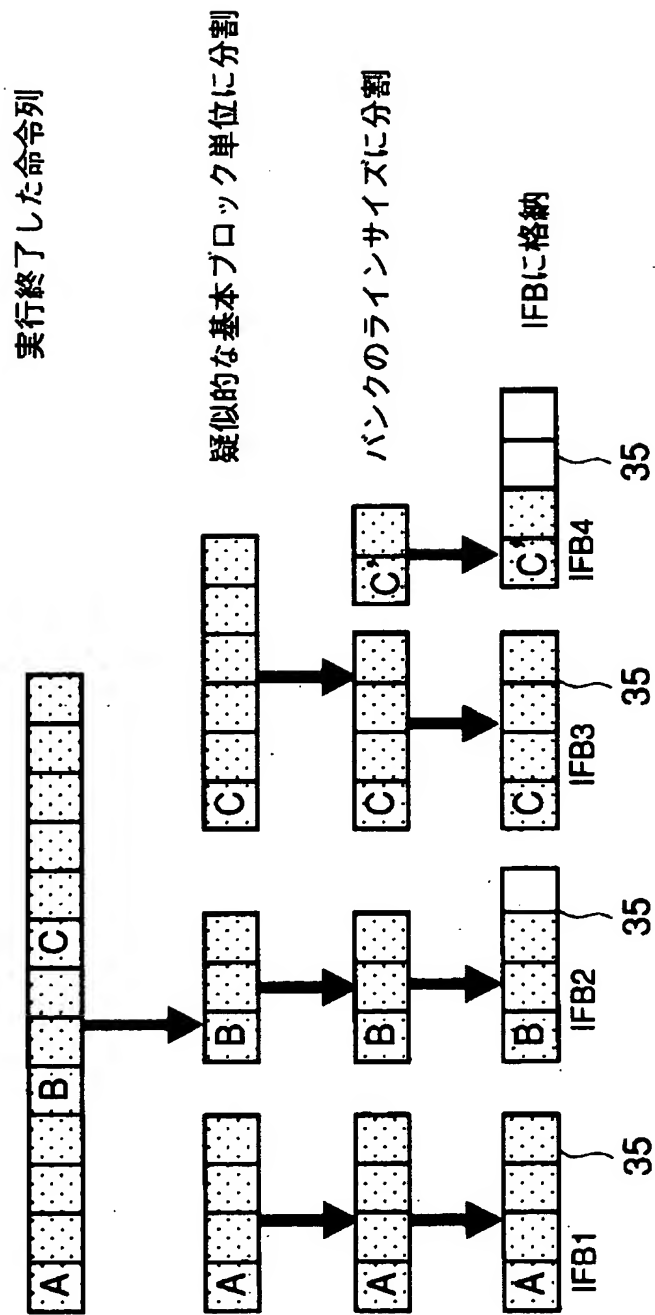
【図 14】



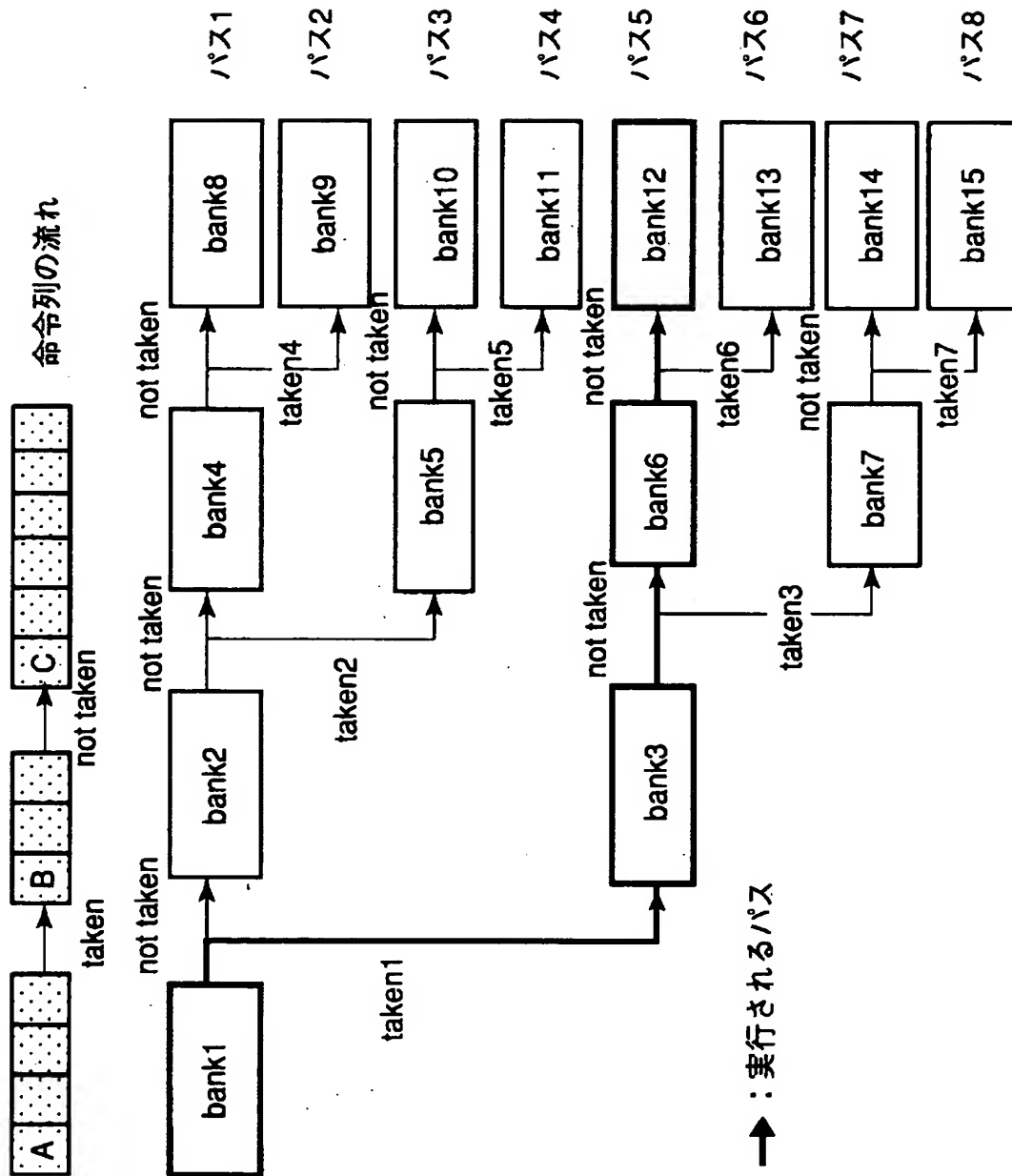
【図 1 5】



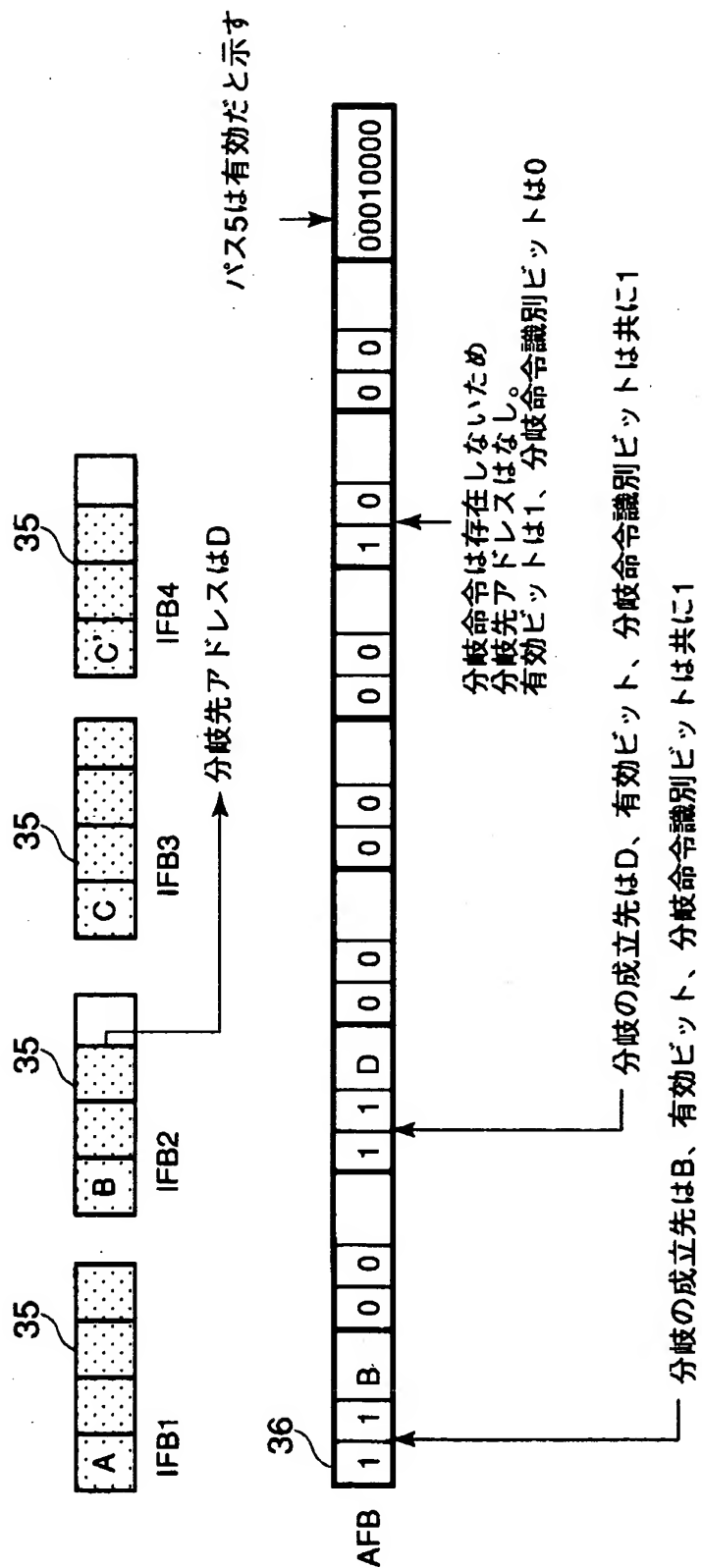
【図 16】



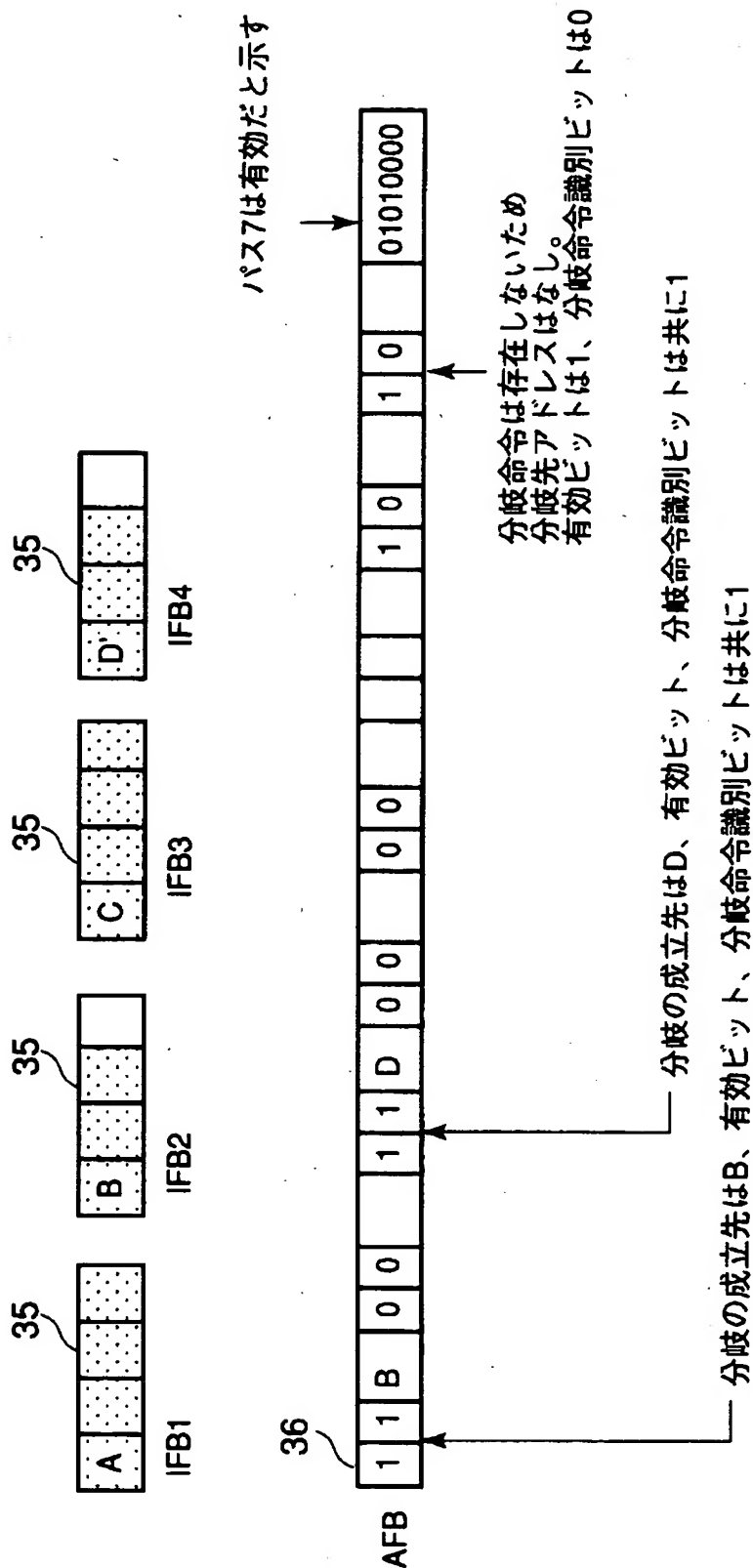
【図 17】



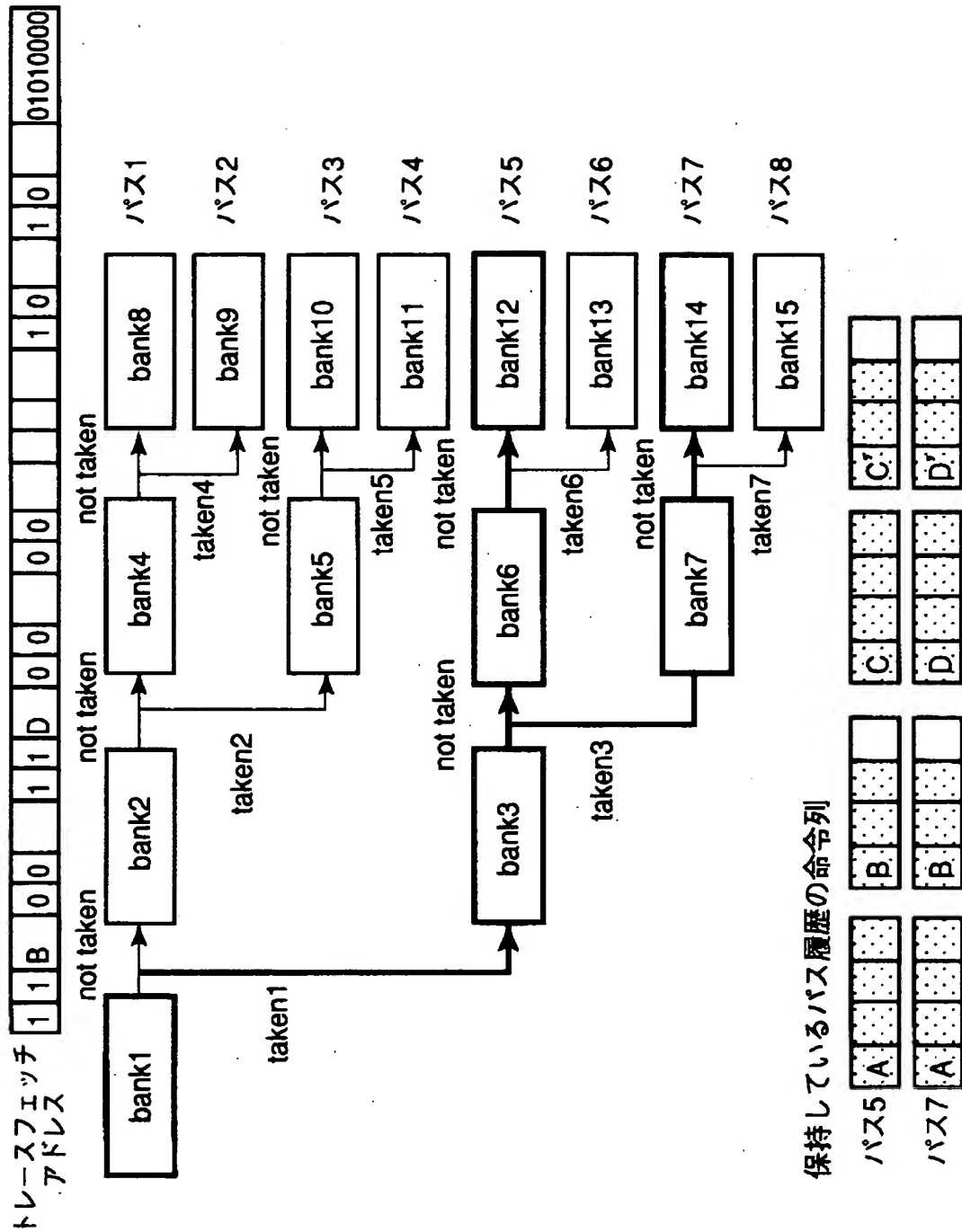
【図 18】



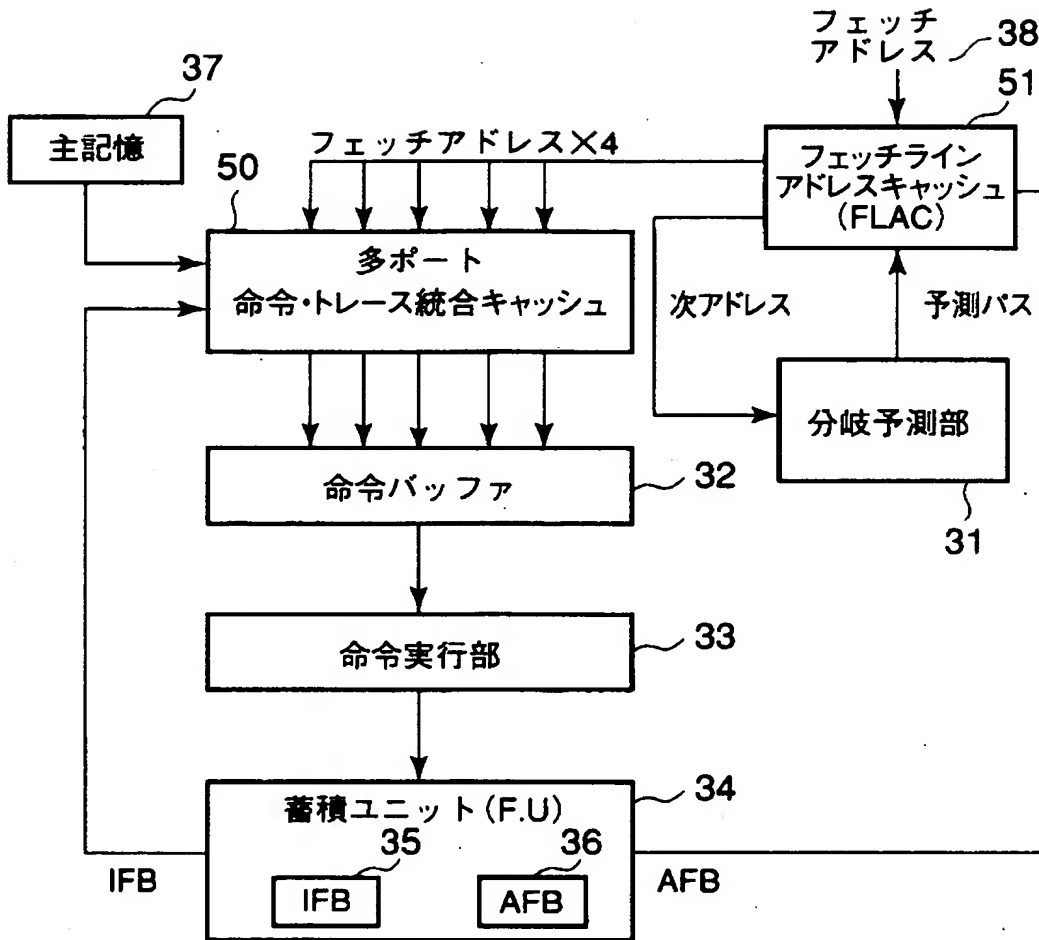
【図19】



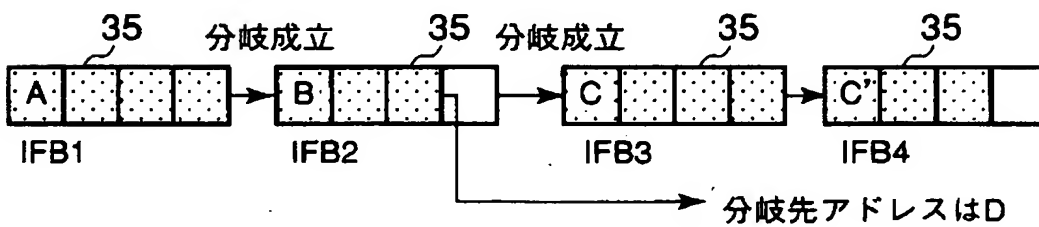
【図 20】



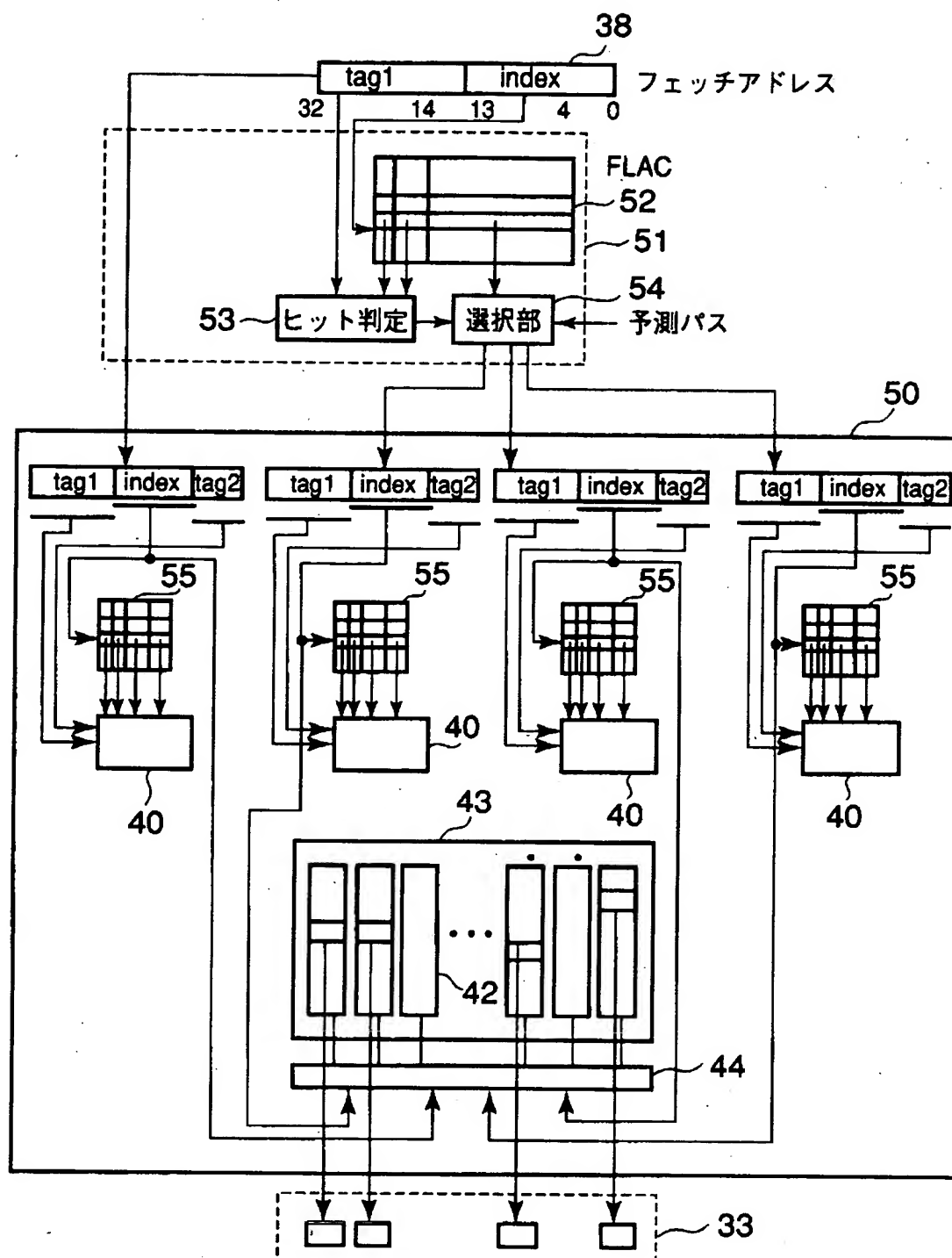
【図 2 1】



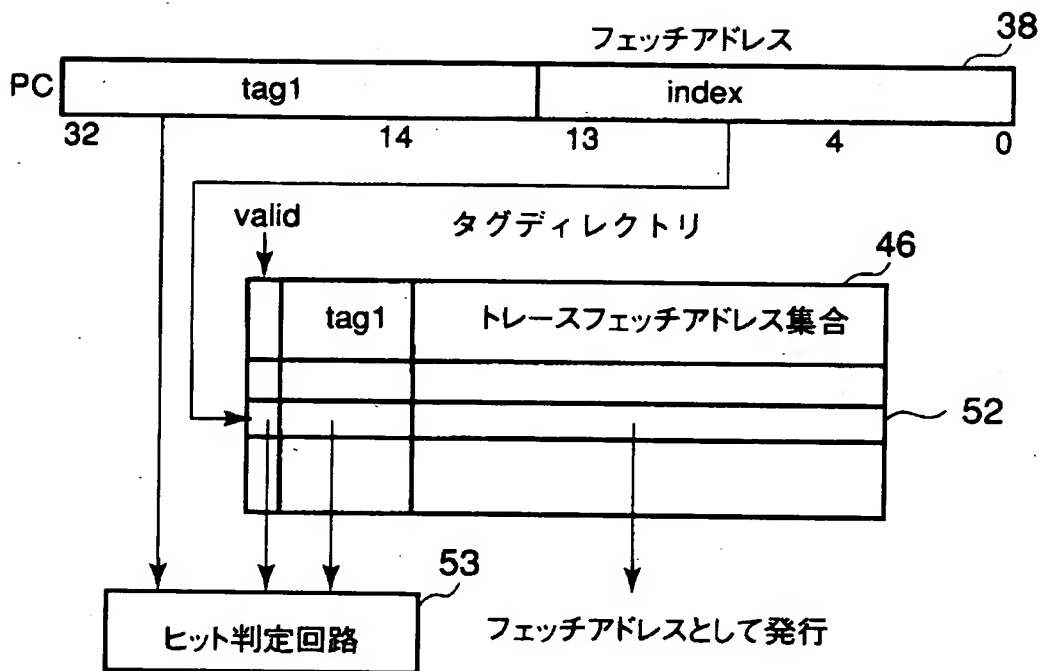
【図 2 2】



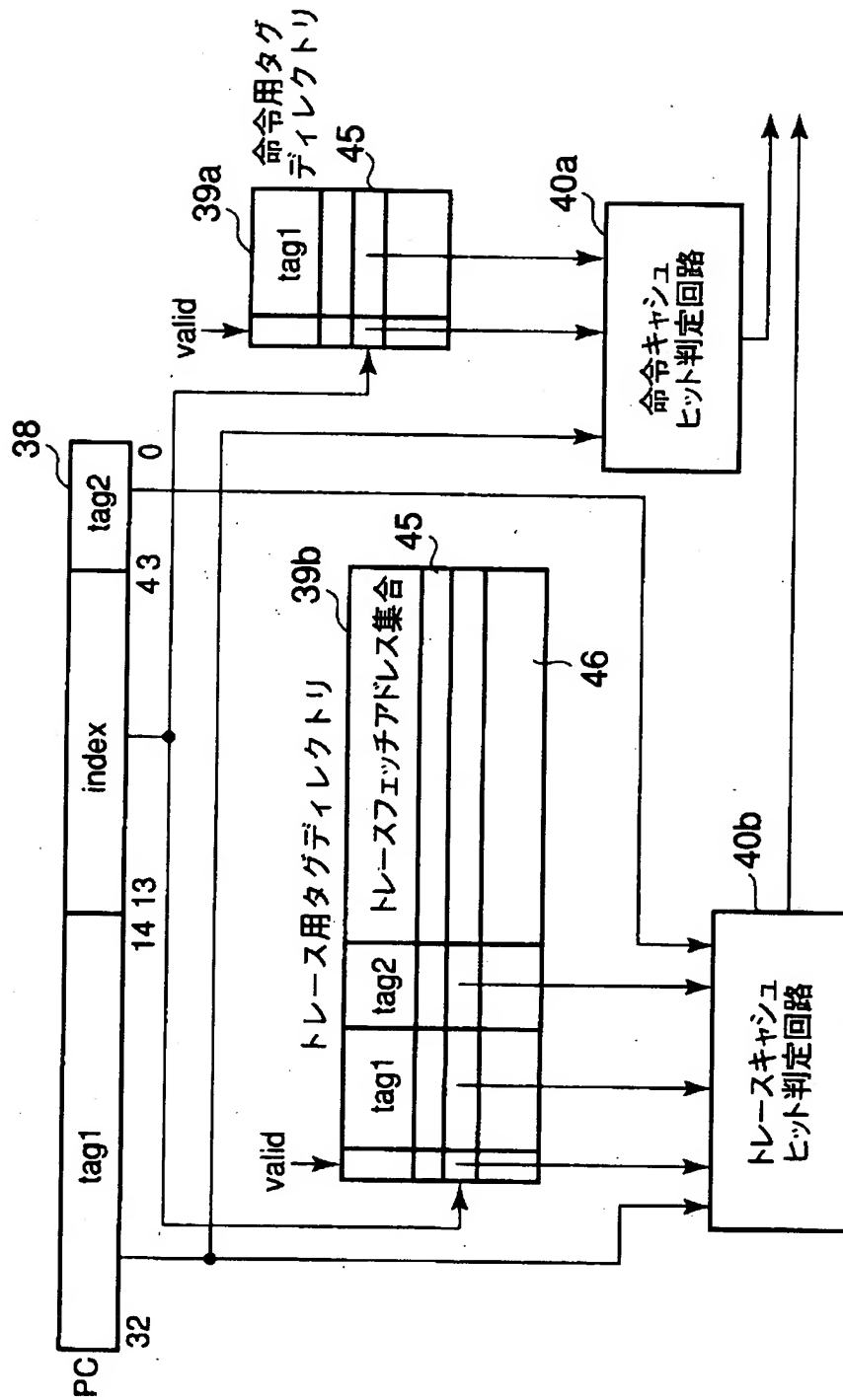
【図 23】



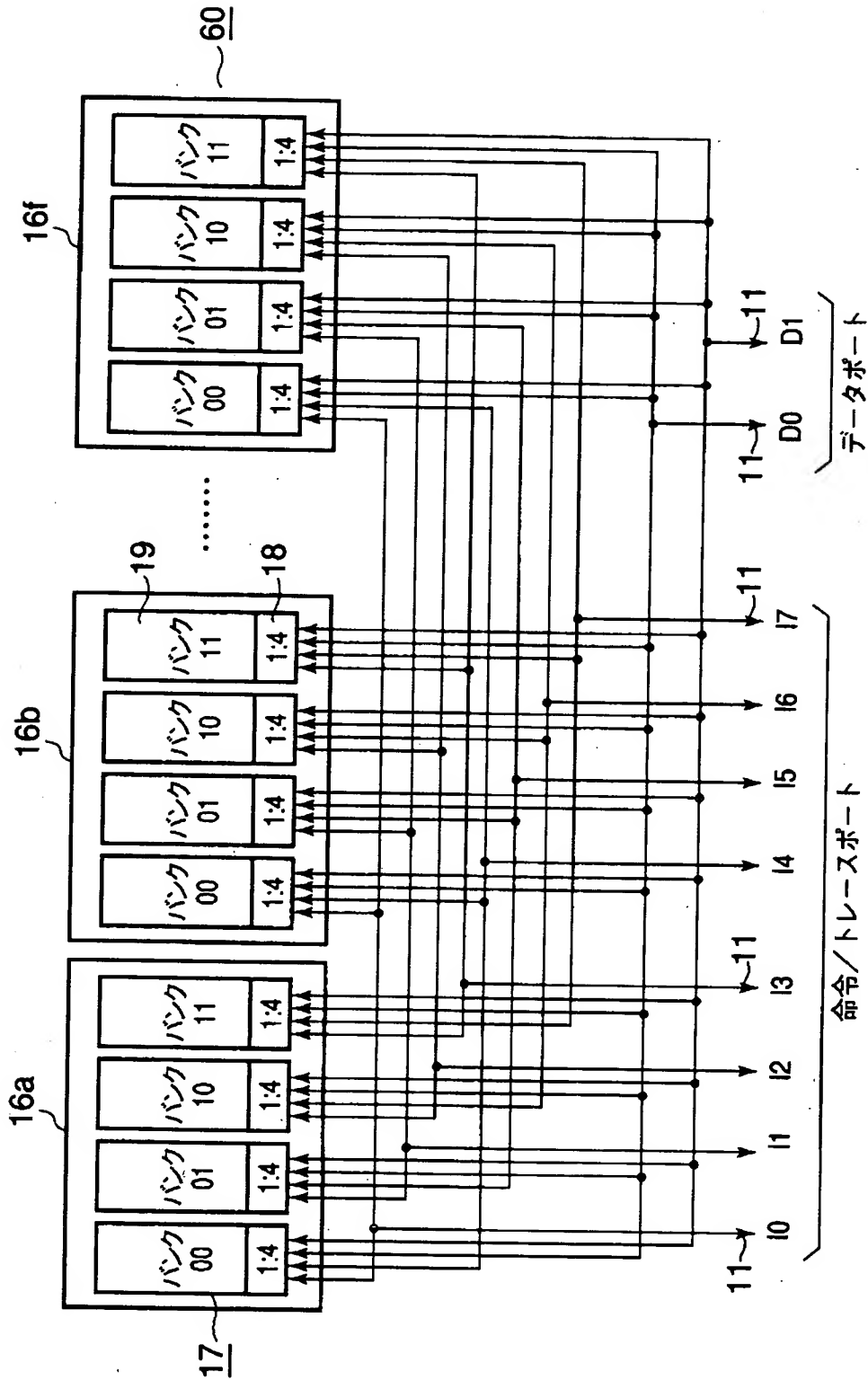
【図 2 4】



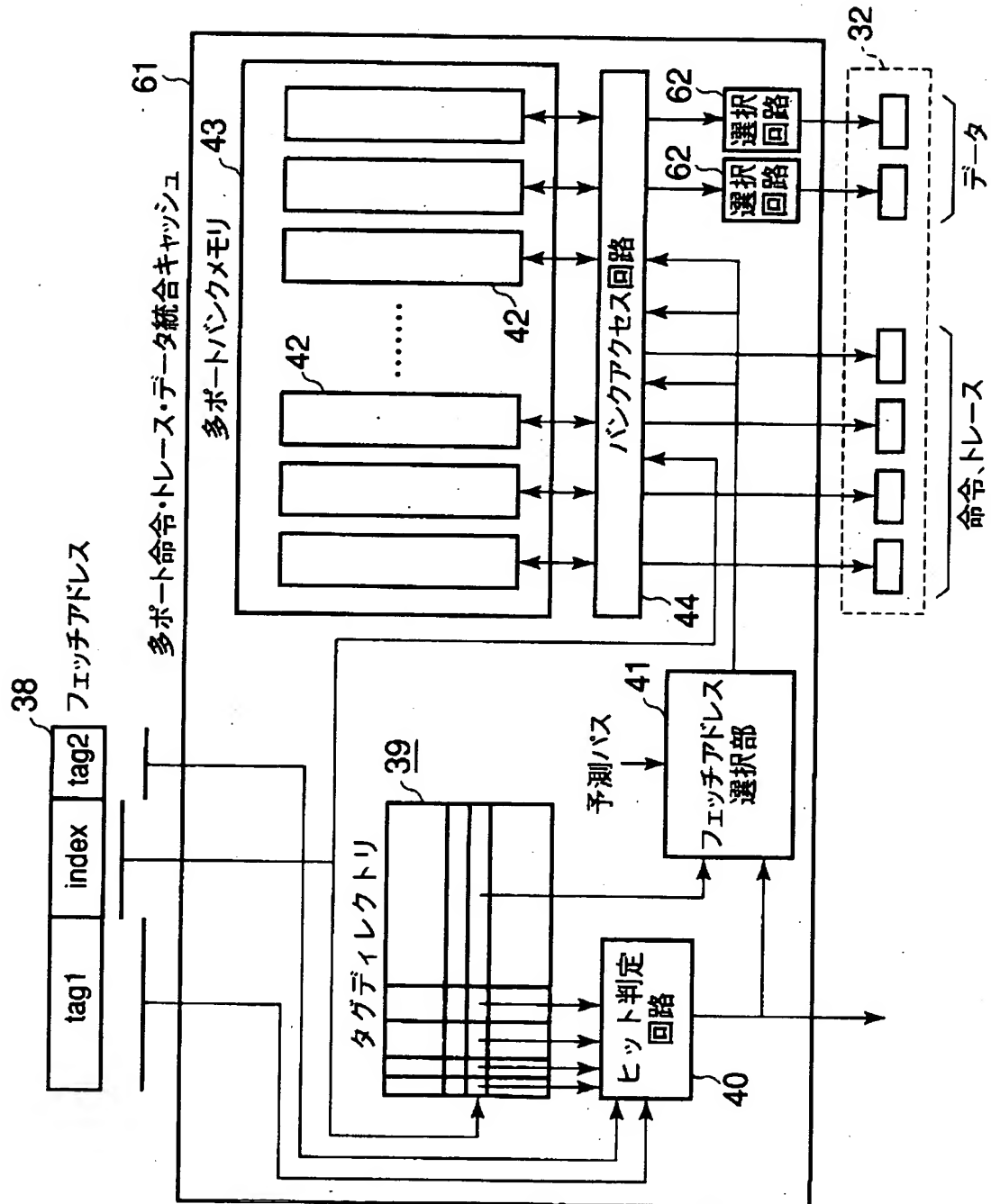
【図 25】



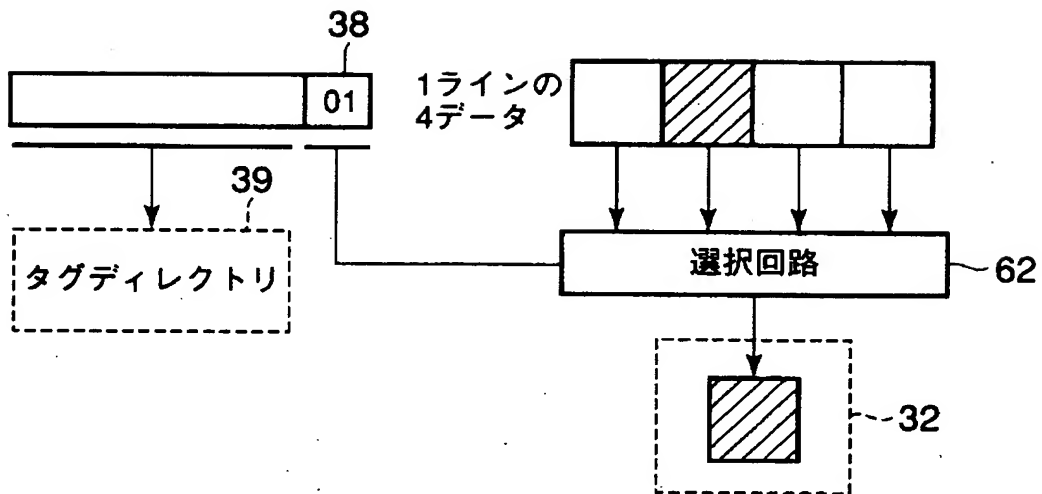
【図26】



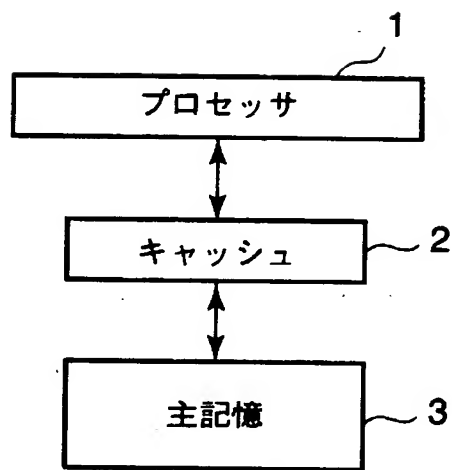
【图 2-7】



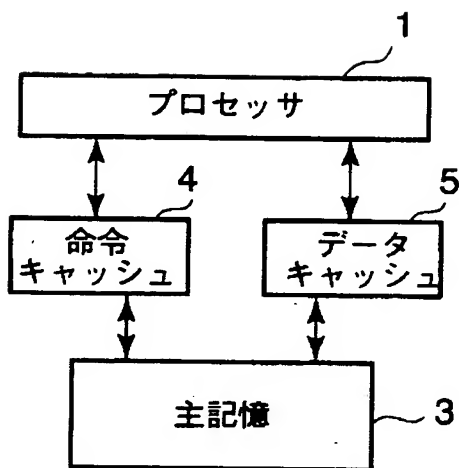
【図 2 8】



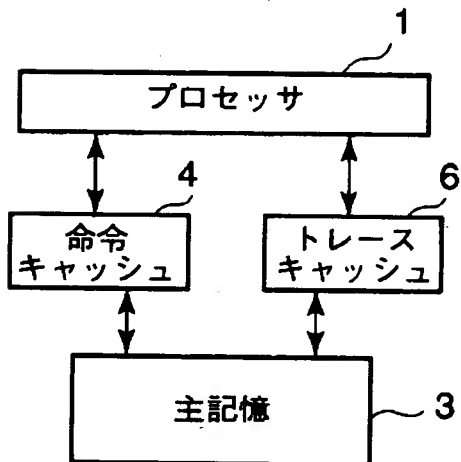
【図 29】



(a)

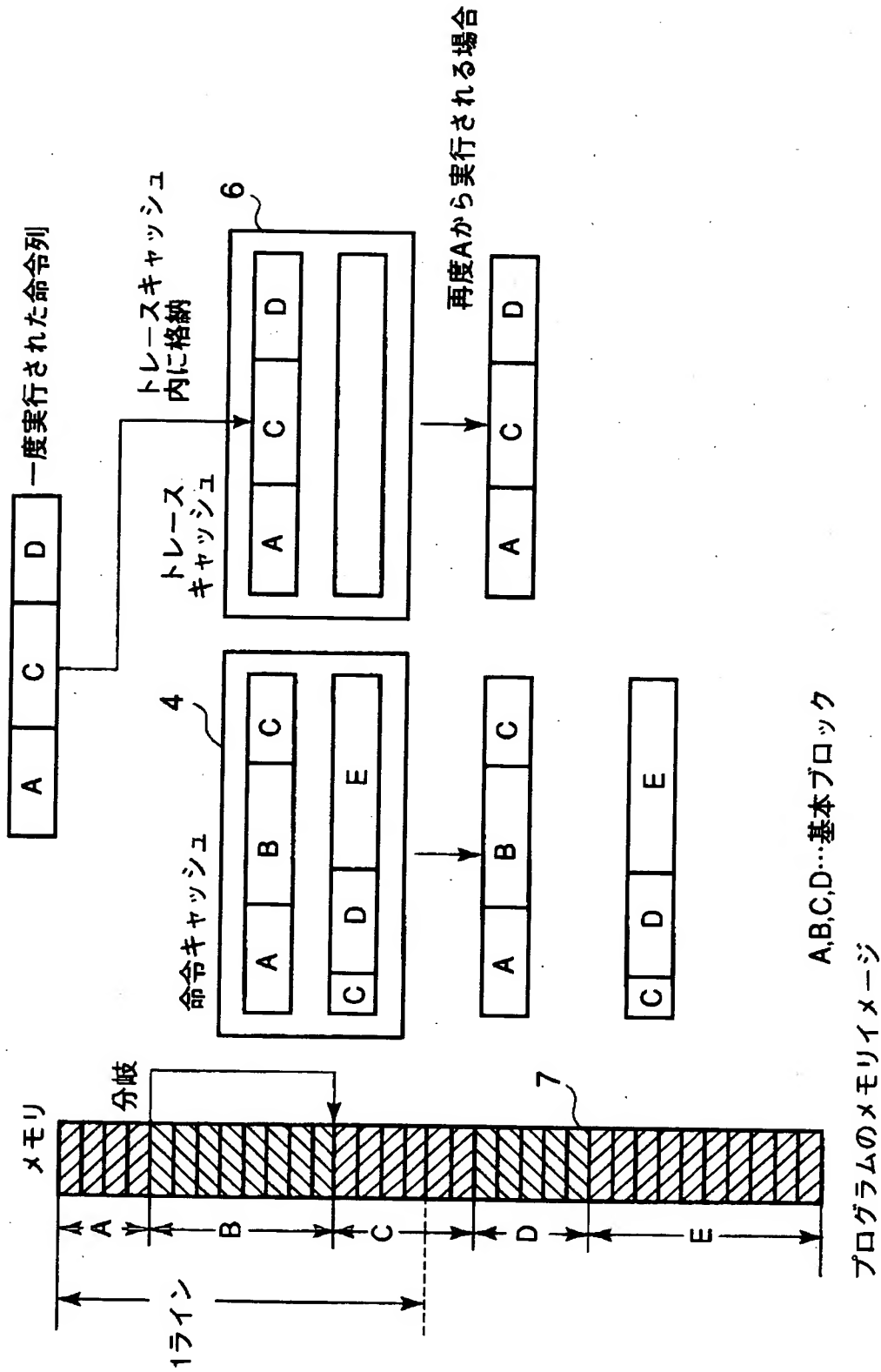


(b)



(c)

【図30】



【書類名】 要約書

【要約】

【課題】 アクセス手法が異なる複数のキャッシュを統合して、キャッシュ全体の容量の低減化を図る。

【解決手段】 1クロック周期で複数の処理を実行する並列プロセッサ13と主記憶との間に設けられ、主記憶に記憶されている命令及びデータの一部を記憶する、複数のバンク19及び複数のポート11を有する多ポート命令・データ統合キャッシュ10である。さらに、複数のポートは、並列プロセッサから命令をアクセスするための1個以上の命令ポートからなる命令ポートユニット12a、12c、12dと並列プロセッサからデータをアクセスするための1個以上のデータポートからなる命令ポートユニット12bとを有し、命令ポートからバンクに対して指定できるデータ幅を、データポートからバンクに対して指定できるデータ幅より大きく設定した。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 2001年 3月23日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

氏 名 株式会社半導体理工学研究センター